

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年2月19日 (19.02.2004)

PCT

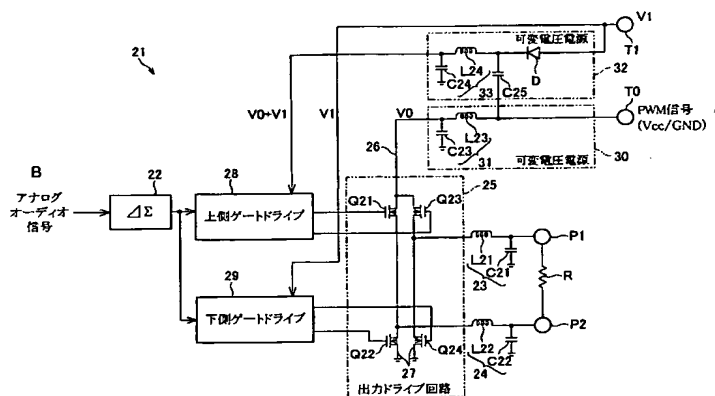
(10) 国際公開番号
WO 2004/015855 A1

- (51) 国際特許分類⁷: H03F 3/217, H03G 3/02 千545-8522 大阪府 大阪市 阿倍野区長池町 2 2-2 2 Osaka (JP).
- (21) 国際出願番号: PCT/JP2003/009504
- (22) 国際出願日: 2003年7月25日 (25.07.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-220208 2002年7月29日 (29.07.2002) JP
特願2003-72288 2003年3月17日 (17.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP];
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 石崎 宏幸 (ISHIZAKI, Hiroyuki) [JP/JP]; 千739-0146 広島県 東広島市 八本松飯田 2 丁目 1 3-1 Hiroshima (JP).
- (74) 代理人: 原 謙三, 外 (HARA, Kenzo et al.); 千530-0041 大阪府 大阪市 北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル 原謙三国際特許事務所 Osaka (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI,

[続葉有]

(54) Title: VOLUME ADJUSTMENT DEVICE, DIGITAL AMPLIFIER, AND DIGITAL SIGNAL REPRODUCING DEVICE

(54) 発明の名称: ボリューム調整装置、デジタルアンプおよびデジタル信号再生装置



32...VARIABLE VOLTAGE POWER SUPPLY
A...PWM SIGNAL
30...VARIABLE VOLTAGE POWER SUPPLY
B...ANALOG AUDIO SIGNAL
28...TOP GATE DRIVE
29...BOTTOM GATE DRIVE
25...OUTPUT DRIVE CIRCUIT

(57) Abstract: A digital amplifier (21) amplifies the amplitude of a one-bit digital signal, received from a $\Delta \Sigma$ block (22), by allowing gate drive circuits (28, 29) to drive output transistors (Q21-Q24) so as to switch the power supply voltage (V0) supplied from a variable voltage power supply (30). A variable voltage power supply (32) sets the drive voltage of the output transistors (Q21, Q23), driven by the top gate drive circuit (28), to the voltage (V0 + V1) determined by adding a constant voltage (V1) supplied to the bottom gate drive circuit (29) to the power supply voltage (V0) supplied from the variable voltage power supply (30) to vary the voltage following up to the power supply voltage (V0). This configuration enable the drive voltage to be a requisite minimum value without affecting the switching operation of the output transistors (Q21, Q23). Therefore, the power consumption of the top gate drive circuit (28) can be reduced during small power operation.

[続葉有]



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: デジタルアンプ (21) は、ゲートドライブ回路 (28, 29) が出力トランジスタ (Q21~Q24) を駆動し、可変電圧電源 (30) からの電源電圧 (V0) をスイッチングさせることで $\Delta \Sigma$ ブロック (22) からの 1 ビットデジタル信号の振幅増幅を行う。可変電圧電源 (32) は、上側ゲートドライブ回路 (28) による出力トランジスタ (Q21, Q23) の駆動電圧を、可変電圧電源 (30) からの電源電圧 (V0) に下側ゲートドライブ回路 (29) に与えられる一定電圧 (V1) を加算した電圧 (V0+V1) として、電源電圧 (V0) に追従して変化させる。これにより、出力トランジスタ (Q21, Q23) のスイッチング動作に影響を与えることなく、駆動電圧が必要最小限の電圧になる。したがって、小ボリューム時における上側ゲートドライブ回路 (28) の消費電力を削減できる。

明 細 書

ボリューム調整装置、デジタルアンプおよびデジタル信号再生装置

技術分野

5 本発明は、PDM (Pulse Density Modulation) 信号またはPWM (Pulse Width Modulation) 信号を用いてスイッチング素子を駆動し、スイッチング素子を飽和域で使用することでオーディオ信号の高効率電力増幅を行うD級増幅器などからなるデジタルアンプのボリューム制御に関するものである。

10 背景技術

従来、上記のような高効率電力増幅器は、ボリュームの制御手法によって、信号源において信号の振幅を調整する構成、またはデルタシグマ変調後の1ビットデジタル信号を増幅する増幅部で信号の振幅を調整する構成に分けられる。図8は、前者の構成による高効率電力増幅器を示し、図9は、後者の構成による高効率電力増幅器を示している。

図8および図9に示す構成では、デジタル信号源101から出力されたデジタルのオーディオ信号が $\Delta\Sigma$ 変調回路102で $\Delta\Sigma$ 変調されることで1ビットデジタル信号となり、ゲートドライブ回路103に供給される。ゲートドライブ回路103は、その1ビットデジタル信号に基づいたゲートドライブ信号を出力して、出力フルブリッジ回路104を構成するパワーMOSFETを駆動する。出力フルブリッジ回路104では、パワーMOSFETのスイッチング動作により、電力増幅された1

ビットデジタル信号が得られる。そして、この増幅された1ビットデジタル信号は、ローパスフィルタ105を通過することでアナログオーディオ信号に変換され、ヘッドホンなどの出力装置106によって音声として出力される。

5 図8の構成では、マイクロコンピュータ107によって与えられる振幅調整信号により、デジタル信号源101において、オーディオ信号の振幅がボリュームステップ単位で制御される。また、出力フルブリッジ回路104では、その電源端子に固定電圧電源108から一定の電源電圧が付与されることによって、1ビットデジタル信号が振幅調整されない。

10 い。

図8の構成に関連する先行技術文献としては、特開2000-332553号公報（公開日：2000年11月30日）が挙げられる。この文献に記載された1ビットデジタルアンプでは、入力信号としてデジタルのオーディオ信号やアナログのオーディオ信号をレベルコントロール装置で変更している。ただし、この1ビットデジタルアンプは、振幅レベルが変更された信号と、パルス増幅器から帰還回路を経て負帰還された帰還信号との差分を $\Delta\Sigma$ 変調部によって1ビットで量子化する点で、

15 図8の構成と異なっている。

一方、図9の構成では、デジタル信号源101におけるオーディオ信号の振幅調整が行われない代わりに、マイクロコンピュータ107によって与えられるアナログの電源制御電圧により、可変電圧電源109の電源電圧がボリューム設定ステップ単位で制御される。これにより、出力フルブリッジ回路104では、その電源端子に固定電圧電源109で制御された可変の電源電圧が付与されることで、1ビットデジタル信号

20

が振幅調整される。

図 9 の構成では、図 10 に△にて示すように、デジタル信号源 101 からの入力信号の振幅レベル（入力レベル）は一定であり、□および◇にて示すように、可変電圧電源 109 の電源電圧のレベルと出力フルブリッジ回路 104 の出力の振幅レベル（出力レベル）とがほぼ一致して変化する。

なお、図 9 の構成に関連する先行技術文献は発見されなかった。

図 11 は、図 9 の構成に類似する高効率増幅器としての従来技術のデジタルアンプ 201 の構成を示すブロック図である。

このデジタルアンプ 201 は、アナログ音響信号を、 $\Delta\Sigma$ ブロック 202 において 1 ビットデジタル信号に変換した後、電力増幅（振幅変換）し、ローパスフィルタ 203, 204 によって再びアナログ信号に変換することで、前記のように高効率に電力増幅を行う。電力増幅は、出力ドライブ回路 205 において、ハイレベルの電源ライン 206 とローレベルの電源ライン 207 との間に介在された NMOSFET からなる出力トランジスタ Q201, Q202 の直列回路と、NMOSFET からなる出力トランジスタ Q203, Q204 の直列回路とによるプッシュプル動作で行われる。これらの出力トランジスタ Q201 ~ Q204 が飽和域で動作することで、前記のように高効率な電力増幅が可能になる。

このため、 $\Delta\Sigma$ ブロック 202 からの 1 ビット信号は上側ゲートドライブ回路 208 に入力され、ここで生成される正相成分および逆相成分によって出力トランジスタ Q201, Q203 が駆動される。 $\Delta\Sigma$ ブロック 202 からのもう一方の 1 ビット信号は下側ゲートドライブ回路 2

09に入力され、ここで生成される正相成分および逆相成分によって出力トランジスタQ202, Q204が駆動される。これらのゲートドライブ回路208, 209によって、対角線同士の出力トランジスタQ201, Q204の組が同相で駆動され、出力トランジスタQ202, Q203の組が同相で駆動され、かつ出力トランジスタQ201, Q204の組と出力トランジスタQ202, Q203の組とは、相互に逆相で駆動されて、前記プッシュプル動作が実現される。

そして、出力トランジスタQ201, Q203のドレインには、電源ライン206を介して可変電圧電源210からの可変の直流電源電圧V00が入力される。出力トランジスタQ202, Q204のソースは、電源ライン207を介してGNDレベルとされる。また、出力トランジスタQ201のソースと出力トランジスタQ202のドレインとの接続点および出力トランジスタQ203のソースと出力トランジスタQ204のドレインとの接続点は出力端となり、ローパスフィルタ203, 204を介して、それぞれ正相の出力端P201および逆相の出力端P202に接続される。出力端P201, P202間には、負荷抵抗R201が挿入されている。ローパスフィルタ203, 204は、コイルL201, L202およびコンデンサC201, C202から構成されている。

一方、可変電圧電源210には、電源入力端T00から、VccレベルとGNDレベルとで切換わるPWM信号が入力されている。これらの電位Vcc/GNDが可変電圧電源210を構成するローパスフィルタ211で平滑化されると、PWM信号のデューティに応じた電圧が出力される。この電圧は、電源ライン206を介して出力トランジスタQ201,

Q 2 0 3 のドレインに電源電圧 V 0 0 として入力される。電源電圧 V 0 0 を変化することで、出力されるデジタル信号の振幅レベルが変化し、ローパスフィルタ 2 0 3, 2 0 4 で平滑化されると、再生されるアナログオーディオ信号のレベルを変化、すなわちボリューム調整を行うことができる。ローパスフィルタ 2 1 1 は、コイル L 2 0 3 およびコンデンサ C 2 0 3 から構成されている。

また、上側ゲートドライブ回路 2 0 8 には、電源入力端 T 0 1 に与えられる図示しない固定電圧電源からの直流電源電圧 V 0 1 が入力される。同様に、下側ゲートドライブ回路 2 0 9 には、電源入力端 T 0 2 に与えられる図示しない固定電圧電源からの直流電源電圧 V 0 2 が入力される。

近年、上記のような高効率増幅器においては、さらなる省電力化が強く要望されるようになってきている。

しかしながら、図 8 および図 9 の構成では、消費電力の点で以下のような問題点がある。

図 8 の構成では、小ボリューム時でも $\Delta \Sigma$ 変調回路 1 0 2 からの出力信号をスイッチング増幅する出力フルブリッジ回路 1 0 4 には電源電圧として一定電圧を与えるので、一般に消費電力は大ボリュームと同じに設定されていた（公知の事実で特にデータはなし）。消費電力を低減させるために、出力フルブリッジ回路 1 0 4 の電源電圧を低下させることが考えられる。しかしながら、電源電圧の低下は、出力レベルを低下させるので、最大出力（最大ボリューム）も低下してしまうという不都合がある。

図 9 の構成では、可変電圧電源 1 0 9 の電源電圧のレベルと出力フルブリッジ回路 1 0 4 の出力の振幅レベル（出力レベル）とがほぼ一致し

て変化するので、図 8 の構成のように消費電力が常に大ボリューム状態であることはない。ところが、図 9 の構成では、一般的に可変電圧電源 109 はサーボ回路の構成となっていることから、低電圧出力時はサーボゲインが取れなくなり、このためサーボが十分働いていない電圧をスイッチング増幅手段へ供給することとなり、歪率の増加、S/N の低下、残留ノイズの増加などのオーディオ性能の低下を招いていた。このときの歪率のデータ例を図 3 のグラフに示す。図中◆にて示すように、出力ボリューム値が小さい範囲では、出力ボリューム値が小さくなるのに従い歪率が増加している。

また、デジタルアンプ 201 では、小ボリューム時には、上述のように電源入力端 T00 への PWM 信号のデューティを小さくすることで、実際にスピーカに与えられる電力レベル、すなわち出力ドライブ回路 55 において消費される電力レベルは小さくなるものの、残余の回路での消費電力は、大ボリューム時と同じである。これは、図 9 の構成でも同様であり、例えば、小ボリューム時のゲートドライブ回路 103 における消費電力は大ボリューム時と同じである。

本発明は、上記の問題点に鑑みてなされたものであって、デジタルアンプにおいて小ボリューム時の消費電力の低減を図ることを主な目的としている。本発明は、さらには、デジタルアンプにおけるオーディオ性能を改善することを目的としている。

発明の開示

本発明のデジタルアンプは、1 ビット信号に変換されたオーディオ信号に応答して、駆動回路がスイッチング素子を駆動し、電源電圧をスイ

ッティングさせることで前記オーディオ信号を振幅増幅するデジタルアンプにおいて、可変の前記電源電圧を発生する可変電源電圧発生手段と、前記電源電圧変化に連動して、前記駆動回路によるスイッチング素子の駆動電圧を変化させる駆動電圧変化手段とを含んでいる。

- 5 上記の構成によれば、出力振幅の変化のためにデジタルアンプの電源電圧を可変電源電圧発生回路により変化可能とし、これに合わせて、駆動電圧変化手段は、MOSFETのゲート電圧などのスイッチング素子の駆動電圧も合わせて変化させる。すなわち、たとえば電源電圧が高いときには前記駆動電圧も高くし、電源電圧が低くなると前記駆動電圧も低くする。こうして、たとえばNMOSFETの場合には、オン時のゲート電圧を常にソース電圧よりも予め定める電圧だけ高く保持する。

したがって、スイッチング素子のスイッチング動作に影響を与えることなく、前記駆動電圧を必要最小限の電圧とすることができ、小出力振幅時における駆動回路の消費電力を削減することができる。

- 15 また、本発明のデジタルアンプでは、前記可変電源電圧発生手段は、前記スイッチング素子への可変電源電圧を作成するために、予め定める直流電圧がデューティ可変でスイッチングされてなるパルス幅変調信号を平滑化するローパスフィルタを有し、前記駆動電圧変化手段は、前記パルス幅変調信号が一方の端子に入力されるコンデンサと、前記コンデンサの他方の端子に予め定める定電圧を入力するダイオードと、前記コンデンサの他方の端子からの出力を平滑化するローパスフィルタとを有し、前記電源電圧に前記定電圧を加算した電圧を前記駆動回路に前記駆動電圧として供給することを特徴とする。

上記の構成によれば、直流電源のスイッチング出力がローレベル、た

たとえばGNDレベルであるときには、コンデンサの一方の端子の電位も該GNDレベルとなり、コンデンサの他方の端子の電位は前記ダイオードを介する定電圧 V_1 となって該コンデンサは充電される。これに対して、直流電源のスイッチング出力がハイレベル、たとえば V_{cc} レベルとなると、コンデンサの一方の端子の電位も該 V_{cc} レベルとなり、コンデンサの他方の端子の電位は $V_{cc} + V_1$ となって放電を開始する。そして、これらの電位 $V_1 / V_{cc} + V_1$ をローパスフィルタで平滑化すると、直流電源からの変化された電源電圧を V_0 とすると、 $V_0 + V_1$ となる。すなわち、電源電圧 V_0 は、2つの電位 V_{cc} / GND をローパスフィルタで平滑化した電位であり、デューティに応じて変化する。

したがって、前記電源電圧 V_0 の変化に連動して、常に定電圧 V_1 を加算した駆動電圧を容易に作成することができる。

本発明の他のボリューム制御装置は、1ビット信号に変換されたオーディオ信号をスイッチング増幅する増幅手段を有するアンプから出力される出力信号の振幅を制御するボリューム制御装置において、前記1ビット信号に変換される前の前記オーディオ信号の振幅を指定された倍率の大きさに変化させる振幅可変手段と、前記増幅手段に付与する電源電圧を指定された電圧値に変化させる電圧可変手段と、前記振幅が最大値と所定の間値との間に設定されるときに、前記倍率を一定に設定するとともに、前記電圧値を指定された入力ボリューム値に応じた値に設定する一方、前記振幅が前記中間値と前記最小値との間に設定されるときに、前記電圧値を一定に設定するとともに、前記倍率を指定された入力ボリューム値に応じた値に設定する設定制御手段を含んでいる。

上記の構成では、出力信号の振幅が最大値と中間値との間に設定され

るときに、設定制御手段により設定された一定の倍率と入力ボリューム値に応じた電圧値とが、それぞれ振幅可変手段と電圧可変手段とに与えられる。これにより、その倍率に応じた一定振幅のオーディオ信号が振幅可変手段から出力され、例えば $\Delta\Sigma$ 変調回路によって1ビット信号に変換された後、増幅手段でスイッチング増幅される。ここで、スイッチング増幅とは、1ビット信号を基に生成された駆動信号により複数のスイッチング素子を駆動して電源電圧をスイッチング出力することで1ビット信号の振幅が増幅された信号を出力することである。上記のスイッチング増幅のとき、増幅手段に付与される電源電圧は、入力ボリューム値に応じた電圧値として電圧可変手段から出力される。それゆえ、増幅手段からの出力信号の振幅は電源電圧によって調整される。この結果、出力信号の振幅が最大値から中間値に近づくように調整されるほど電源電圧が低下するので、振幅手段での電流消費もそれに依りて低減する。

一方、出力信号の振幅が中間値と最小値との間に設定されるときに、設定制御手段により設定された一定の電圧値と入力ボリューム値に応じた倍率とが、それぞれ電圧可変手段と振幅可変手段とに与えられる。これにより、入力ボリューム値に応じた振幅のオーディオ信号が振幅可変手段から出力され、1ビット信号に変換された後、増幅手段でスイッチング増幅される。このとき、増幅手段に付与される電源電圧は、一定の電圧値として電圧可変手段から出力される。それゆえ、増幅手段からの出力信号の振幅は倍率によって調整される。この結果、出力信号の振幅が中間値から最小値に近づくように調整されても、電源電圧が変わらないので、サーボ系の可変電源装置からなる電圧可変手段において、サーボが安定して動作することにより、電源電圧を安定して出力することが

10

できる。増幅手段は、安定した電源電圧が与えられることにより、歪率などのオーディオ性能の悪化が抑制される。

前記のボリューム制御装置において、前記設定制御手段は、前記入力ボリューム値に対応する前記倍率および前記電圧値とを記憶する記憶手段を有しており、指定された前記入力ボリューム値に基づいて、対応する前記倍率および前記電圧値を出力することが好ましい。これにより、単一の入力ボリューム値に基づいて倍率および電圧値が同時に得られるので、上記の2つの振幅調整範囲での倍率と電圧値との所望の組み合わせを容易に得ることができる。したがって、上記の2つの振幅調整範囲で容易にボリューム制御をすることができる。

前記のボリューム制御装置において、前記設定制御手段は、前記振幅が前記中間値と前記最小値との間に設定されるときに、前記電圧値を最大値の0.1倍に設定することが好ましい。これにより、増幅手段での消費電流を最大時の0.1倍程度に抑えることができるとともに、オーディオ性能の悪化も実用上不都合のない程度に抑えることができる。したがって、より高性能なボリューム制御装置を提供することができる。

本発明のデジタルアンプは、前記の各構成のボリューム制御装置のいずれかと、前記オーディオ信号を1ビット信号に変換する1ビット変換手段と、前記増幅手段とを備えている。これにより、低消費電力かつ高オーディオ性能を備えたデジタルアンプを提供することができる。

本発明のさらに他の目的、特徴、および優れた点は、以下に示す記載によって十分わかるであろう。また、本発明の利益は、添付図面を参照した次の説明で明白になるであろう。

図面の簡単な説明

図 1 は、本発明の一実施例のデジタルアンプの構成を示すブロック図である。

図 2 は、従来のデジタルアンプと図 1 のデジタルアンプとの電源電圧
5 の関係を示すグラフである。

図 3 は、本発明の他の実施例のデジタルアンプの構成を示すブロック図である。

図 4 は、図 3 のデジタルアンプにおいてボリューム制御を行うための
制御特性を示すグラフである。

10 図 5 は、図 3 のデジタルアンプおよび従来のデジタルアンプのボリューム制御による出力ボリューム値に対する歪率の変化を示すグラフである。

図 6 は、図 3 のデジタルアンプの変形例の構成を示すブロック図である。

15 図 7 は、本発明のさらに他の実施例のデジタル信号記録再生装置を示すブロック図である。

図 8 は、従来のデジタルアンプの構成を示すブロック図である。

図 9 は、従来の他のデジタルアンプの構成を示すブロック図である。

図 10 は、図 9 のデジタルアンプにおいてボリューム制御を行うため
20 の制御特性を示すグラフである。

図 11 は、従来のさらに他のデジタルアンプの構成を示すブロック図である。

発明を実施するための最良の形態

1 2

以下、実施例および比較例により、本発明をさらに詳細に説明するが、本発明はこれらにより何ら限定されるものではない。

〔実施例 1〕

本発明の一実施例について、図 1 および図 2 に基づいて説明すれば、
5 以下の通りである。

図 1 は、本実施例のデジタルアンプ 2 1 の構成を示すブロック図である。

このデジタルアンプ 2 1 は、アナログオーディオ信号を、 $\Delta \Sigma$ ブロック 2 2 において、PDMやPWMの 1 ビットデジタル信号に変換した後、
10 電力増幅（振幅変換）し、ローパスフィルタ 2 3, 2 4 によって再びアナログ信号に変換することで、高効率に電力増幅を行う。また、前記電力増幅は、出力ドライブ回路 2 5 において、ハイレベルの電源ライン 2 6 とローレベルの電源ライン 2 7 との間に介在された NMOSFET からなる出力トランジスタ Q 2 1, Q 2 2 の直列回路と、NMOSFET からなる出力トランジスタ Q 2 3, Q 2 4 の直列回路とによるプッシュ
15 プル動作で行われる。

$\Delta \Sigma$ ブロック 2 2 からの 1 ビット信号は上側ゲートドライブ回路 2 8 に入力され、ここで生成される正相成分および逆相成分によって出力トランジスタ Q 2 1, Q 2 3 が駆動され、もう一方の 1 ビット信号は下側
20 ゲートドライブ回路 2 9 に入力され、ここで生成される正相成分および逆相成分によって出力トランジスタ Q 2 2, Q 2 4 が駆動される。これらのゲートドライブ回路 2 8, 2 9 によって、対角線同士の NMOSFET Q 2 1, Q 2 4 の組が同相で駆動され、出力トランジスタ Q 2 2, Q 2 3 の組が同相で駆動され、かつ出力トランジスタ Q 2 1, Q 2 4 の

1 3

組と出力トランジスタ Q 2 2 , Q 2 3 の組とは、相互に逆相で駆動されて、前記プッシュプル動作が実現される。

上側ゲートドライブ回路 2 8 および下側ゲートドライブ回路 2 9 は、例えば、CMOS ゲート IC によって構成されている。上側ゲートドライブ回路 2 8 は、後述する可変電圧電源 3 0 からの出力電圧が電源電圧として与えられ、この電源電圧とほぼ等しいオン時のゲート電圧を出力する。下側ゲートドライブ回路 2 9 は、後述する可変電圧電源 3 2 からの出力電圧が電源電圧として与えられ、この電源電圧とほぼ等しいオン時のゲート電圧を出力する。

そして、出力トランジスタ Q 2 1 , Q 2 3 のドレインには、前記電源ライン 2 6 を介して可変電圧電源 3 0 からの可変の直流電源電圧 V 0 が入力され、出力トランジスタ Q 2 2 , Q 2 4 のソースは、電源ライン 2 7 を介して GND レベルとされる。また、出力トランジスタ Q 2 1 のソースと出力トランジスタ Q 2 2 のドレインとの接続点および出力トランジスタ Q 2 3 のソースと出力トランジスタ Q 2 4 のドレインとの接続点は出力端となり、前記ローパスフィルタ 2 3 , 2 4 を介して、それぞれ正相の出力端 P 1 および逆相の出力端 P 2 に接続される。出力端 P 1 , P 2 間には、負荷抵抗 R が挿入されている。前記ローパスフィルタ 2 3 , 2 4 は、それぞれコイル L 2 1 , L 2 2 およびコンデンサ C 2 1 , C 2 2 から構成されている。

一方、可変電源電圧発生手段である可変電圧電源 3 0 には、電源入力端 T 0 から、V_{cc}レベルと GND レベルとで切換わる PWM 信号が入力されており、これらの電位 V_{cc}/GND が可変電圧電源 3 0 を構成するローパスフィルタ 3 1 で平滑化されると、PWM 信号のデューティ比に

14

応じた電圧が出力され、電源ライン26を介して出力トランジスタQ21, Q23のドレインに、電源電圧V0として入力される。電源電圧V0を変化することで、出力されるデジタル信号の振幅レベルが変化し、ローパスフィルタ23, 24で平滑化されると、再生されるアナログオーディオ信号のレベルを変化、すなわちボリューム調整を行うことができる。これは、PWM信号がボリューム調整信号となっていることを意味する。ローパスフィルタ31は、コイルL23およびコンデンサC23から構成されている。

以上のような構成は、前述の従来のデジタルアンプ51と同様である。しかしながら、本発明のデジタルアンプ21で注目すべきは、下側ゲートドライブ回路29には、電源入力端T1に与えられる図示しない固定電圧電源からの直流電源電圧V1が直接入力されるのに対して、上側ゲートドライブ回路28には、電源電圧V1が電源電圧V0に加算された電圧が、駆動電圧変化手段である可変電圧電源32によって作成されて入力されることである。このため、可変電圧電源32は、可変電圧電源30と同様に、コイルL24およびコンデンサC24から成るローパスフィルタ33を備えるとともに、コンデンサC25およびダイオードDを備えて構成される。

コンデンサC25の一方の端子には、電源入力端T0に入力されるVccレベルとGNDレベルとで切替わるPWM信号が入力され、他方の端子には、電源入力端T1からの一定の電源電圧V1が、ダイオードDを介して入力される。このコンデンサC25の他方の端子からの出力が、ローパスフィルタ33で平滑化されて上側ゲートドライブ回路28に入力される。

したがって、PWM信号がGNDレベルであるときには、コンデンサC25の一方の端子の電位も該GNDレベルとなり、他方の端子の電位は前記ダイオードDを介する電源電圧V1となって該コンデンサC25は充電される。これに対して、PWM信号がVccレベルとなると、コン
5 デンサC25の一方の端子の電位も該Vccレベルとなり、他方の端子の電位は $V_{cc} + V_1$ となって放電を開始する。そして、これらの電位 $V_1 / V_{cc} + V_1$ をローパスフィルタ33で平滑化すると、 $V_0 + V_1$ となる。すなわち、電源電圧V0は、2つの電位 V_{cc} / GND をローパスフィルタ31で平滑化した電位であり、デューティに応じて変化する。こ
10 うして、電源電圧V0の変化に連動して、常に一定の電圧V1を加算した駆動電圧を容易に作成することができる。

さらに、上側ゲートドライブ回路28として、たとえばCMOSゲートICを使用することによって、電源電圧を可変すると、それに伴って出力電圧も追従して変化することになり、消費電力もそれに追従して変
15 化する。

上述のように構成されるデジタルアンプ21において、下側の出力トランジスタQ22、Q24をオンさせるために必要となるゲート-ソース間電圧VGS1は、ソース電位がGND電位であるので、MOSFETの仕様書上規定されている電圧であり、たとえば2.5Vである。こ
20 れに対して、上側の出力トランジスタQ21、Q23をオンさせるために必要となるゲート-ソース間電圧VGS2には、ソース電位が前記電源電圧V0であるので、 $V_0 + 2.5V$ となる。

したがって、図5で示すように、電源電圧V0が高いときには上側ゲートドライブ回路28による出力トランジスタQ21、Q23のゲート

16

駆動電圧も高くし、電源電圧 V_0 が低くなるとゲート駆動電圧も低くし、
こうしてオン時のゲート電圧を常にソース電圧よりも予め定める一定電
圧 V_1 だけ高く保持することができる。これによって、出力トランジス
タ Q_{21} , Q_{23} のスイッチング動作に影響を与えることなく、 $V_1 =$
5 2.5 V とすれば、前記上側ゲートドライブ回路 28 による出力トラン
ジスタ Q_{21} , Q_{23} のゲート駆動電圧を必要最小限の電圧とすること
ができ、小ボリュウム時における該上側ゲートドライブ回路 28 の消費
電力（図 5 において斜線を施して示している部分の電圧の差から生じる
消費電力の差分）を削減することができる。

10 これに対して、従来のデジタルアンプ 51 では、図 5 で示すように、
電源電圧 V_0 ($=V_{50}$) に拘わらず、常に出力トランジスタ Q_{21} ,
 Q_{23} をオンさせることができる充分高い電圧 v_1 が出力トランジスタ
 Q_{21} , Q_{23} のゲートに与えられることになり、一方、消費電流は電
圧に比例するので、小ボリュウム時においても、大ボリュウム時と同じ
15 消費電力が必要となる。

なお、本発明のデジタルアンプ 21 は、アナログ信号が入力されて、
そのアナログ信号を前記 PDM 信号や PWM 信号などに変換した後に振
幅増幅を行うような、アナログ／デジタル変換器を備える上述のような
構成に限らず、前記デジタル信号が外部から直接入力されるものであつ
てもよい。また、ローパスフィルタ 23, 24 などの出力デジタル信号
20 を平滑化してアナログ信号に復元するデジタル／アナログ変換器が外部
に設けられるものであってもよい。

また、出力ドライブ回路 25 は、NMOSFET を 4 個備える Hブリ
ッジの構成として、下側を接地した場合で説明したが、上側を接地、下

1.7

側を負電源の構成であってもよく、またNMOSFETが2個のハーフブリッジの構成であってもよい。

5 以上のように、本実施例のデジタルアンプ21は、入力デジタル信号に
応答して、駆動回路（上側ゲートドライブ回路28および下側ゲート
ドライブ回路29）がスイッチング素子（出力トランジスタQ21～Q
24）を駆動し、直流電源からの電源電圧をスイッチングさせることで
10 振幅増幅を行うようにしたデジタルアンプ21において、前記直流電源
は、その出力電源電圧が変化可能に構成され、前記直流電源の電源電圧
変化に連動して、前記駆動回路によるスイッチング素子の駆動電圧を変
化させる可変電圧電源32を含んでいる。

上記の構成によれば、出力振幅の変化のためにデジタルアンプの電源
電圧を変化可能とし、これに合わせて、可変電圧電源32は、MOSF
ETのゲート電圧などのスイッチング素子の駆動電圧も合わせて変化さ
せる。すなわち、たとえば電源電圧が高いときには前記駆動電圧も高く
15 し、電源電圧が低くなると前記駆動電圧も低くする。こうして、たと
えばNMOSFETの場合には、オン時のゲート電圧を常にソース電圧よ
りも予め定める電圧だけ高く保持する。

したがって、スイッチング素子のスイッチング動作に影響を与えるこ
となく、前記駆動電圧を必要最小限の電圧とすることができ、小出力振
20 幅時における駆動回路の消費電力を削減することができる。

また、デジタルアンプ21では、前記直流電源が、予め定める直流
電圧をデューティ可変でスイッチングし、その出力をローパスフィルタ
で平滑化することによって前記スイッチング素子への可変電源電圧を作
成し、可変電圧電源32が、前記直流電源によってスイッチングされた

電圧が一方の端子に入力されるコンデンサ C 2 5 と、コンデンサ C 2 5
の他方の端子に予め定める定電圧を入力するダイオード D と、コンデン
サ C 2 5 の他方の端子からの出力を平滑化するローパスフィルタ 2 4 と
を備え、スイッチング素子への電源電圧に、前記定電圧を加算した電圧
5 を作成し、前記駆動回路に前記駆動電圧として供給する。

上記の構成によれば、直流電源のスイッチング出力がローレベル、た
とえば G N D レベルであるときには、コンデンサ C 2 5 の一方の端子の
電位も該 G N D レベルとなり、コンデンサ C 2 5 の他方の端子の電位は
前記ダイオード D を介する定電圧 V 1 となってコンデンサ C 2 5 は充電
10 される。これに対して、直流電源のスイッチング出力がハイレベル、た
とえば V cc レベルとなると、コンデンサ C 2 5 の一方の端子の電位も該
V cc レベルとなり、コンデンサ C 2 5 の他方の端子の電位は V cc + V 1
となって放電を開始する。そして、これらの電位 V 1 / V cc + V 1 をロ
ーパスフィルタで平滑化すると、直流電源からの変化された電源電圧を
15 V 0 とすると、V 0 + V 1 となる。すなわち、電源電圧 V 0 は、2 つの
電位 V cc / G N D をローパスフィルタで平滑化した電位であり、デュー
ティに応じて変化する。

したがって、電源電圧 V 0 の変化に連動して、常に定電圧 V 1 を加算
した駆動電圧を容易に作成することができる。

20 [実施例 2]

本発明の他の実施例について図 3 ないし図 6 に基づいて説明すれば、
以下の通りである。

図 3 は、本実施例のデジタルアンプ 1 1 の構成を示すブロック図であ
る。

19

1 ビットデジタルアンプであるデジタルアンプ 11 は、デジタル信号源 1、 $\Delta\Sigma$ 変調回路 2、ゲートドライブ回路 3、出力フルブリッジ回路 4、ローパスフィルタ（図中、LPF）5、可変電圧電源 6 およびマイクロコンピュータ 7 を備えている。

5 デジタル信号源 1 は、デジタルおよび／またはアナログのオーディオ信号を入力する部分であって、振幅調整機能を有している。デジタル信号源 1 は、振幅調整機能として、マイクロコンピュータ 7 から出力された振幅調整データに基づいて、デジタル処理でオーディオ信号の振幅を調整するために、デジタル信号に設定された乗算係数（倍率）すなわち
10 振幅調整データを乗算する振幅可変手段としての乗算器 1a を有している。また、デジタル信号源 1 は、アナログのオーディオ信号をデジタルのオーディオ信号に変換する A/D 変換器（図中、A/D）1b も有している。これにより、デジタル信号源 1 は乗算器 1a からデジタルのオーディオ信号を出力する。

15 1 ビット変換手段としての $\Delta\Sigma$ 変調回路 2 は、デジタル信号源 1 により振幅調整されたオーディオ信号に $\Delta\Sigma$ 変調を施して 1 ビットデジタル信号（PDM 信号または PWM 信号）を出力する回路である。また、 $\Delta\Sigma$ ブロック 101 は、発生した 2 値信号を基に同じ正相成分の 2 系列の 1 ビットデジタル信号 S1、S2 を生成して、それぞれを出力する。

20 ゲートドライブ回路 3 は、1 ビットデジタル信号 S1、S2 を基に、出力フルブリッジ回路 4 の各出力トランジスタ Q1～Q4 を駆動するためのゲート信号を生成する回路であり、ドライバ 3a、3b を有している。ドライバ 3a は、1 ビットデジタル信号 S1 を基に、出力トランジスタ Q1 を ON/OFF するゲート信号と、出力トランジスタ Q3 を出

20

カトランジスタQ1と逆相のタイミングで駆動するゲート信号とを出力する。一方、ドライバ3bは、1ビットデジタル信号S2を基に、出力トランジスタQ2を出力トランジスタQ1と逆相のタイミングでON/OFFするゲート信号と、出力トランジスタQ4を出力トランジスタQ3と逆相のタイミングで駆動するゲート信号とを出力する。ドライバ3a、3bは、1ビットデジタル信号S1、S2を基に上記のような関係のゲート信号を出力するために、論理回路により構成されている。

出力フルブリッジ回路4は、NチャネルMOSトランジスタ(NMOSFET)である出力トランジスタQ1～Q4を有している。出力トランジスタQ1、Q3のドレインは電源端子4aに接続され、出力トランジスタQ2、Q4のソースはグランドに接続されている。電源端子4aには、可変電源電圧6で発生した可変の電源電圧V0が印加される。出力トランジスタQ1のソースと出力トランジスタQ2のドレインとが接続され、その接続点が一方の出力端(逆相出力)となり、出力トランジスタQ3のソースと出力トランジスタQ4のドレインとが接続され、その接続点が他方の出力端(正相出力)となる。

また、出力トランジスタQ1、Q3のゲートには上記のドライバ3aからのゲート信号が入力され、出力トランジスタQ2、Q4のゲートには上記のドライバ3bからのゲート信号が入力される。これにより、出力トランジスタQ1、Q4が同相で駆動される一方、出力トランジスタQ2、Q3が同相で駆動され、かつ出力トランジスタQ1、Q4と出力トランジスタQ2、Q3とが互いに逆相で駆動されて、出力フルブリッジ回路4はプッシュプル動作を行い、振幅がV0に増幅された正相および逆相のパルス信号を出力する。

21

デジタルアンプ 11 において、スイッチング増幅は、1 ビットデジタル信号 S1, S2 を基にゲートドライブ回路 3 で生成されたゲート信号（駆動信号）により出力フルブリッジ回路 4 の出力トランジスタ Q1 ~ Q4（スイッチング素子）を駆動して電源電圧 V0 をスイッチング出力することで 1 ビットデジタル信号 S1, S2 の振幅が増幅された信号を出力することである。すなわち、上記のゲートドライブ回路 3 および出力フルブリッジ回路 4 は、本デジタルアンプ 11 において、スイッチング増幅部 10（増幅手段）を構成している。

ローパスフィルタ 5 は、コイル L1, L2 およびコンデンサ C1, C2 を有している。コイル L1 の入力端には上記の正相のパルス信号が入力され、出力端とグランドとの間にコンデンサ C1 が接続されている。コイル L2 の入力端には上記の逆相のパルス信号が入力され、出力端とグランドとの間にコンデンサ C2 が接続されている。正相のパルス信号は、コイル L1 およびコンデンサ C1 からなるローパスフィルタ回路を通過することによりアナログのオーディオ信号に変換され、逆相のパルス信号は、コイル L2 およびコンデンサ C2 からなるローパスフィルタ回路を通過することによりアナログのオーディオ信号に変換される。

出力装置 8 は、本デジタルアンプ 11 に接続されるヘッドホンやスピーカのような電気音響変換装置であって、ローパスフィルタ 5 からの正相および逆相のオーディオを音声に変換する負荷 8a を有している。この負荷 8a の一端には正相のオーディオ信号が入力され、他端には逆相のオーディオ信号が入力される。

電圧可変手段としての可変電圧電源 6 は、出力フルブリッジ回路 4 に印加する可変の電源電圧 V0 を発生する電源回路である。この可変電圧

22

電源 6 は、出力電圧をフィードバックして基準電圧と比較し、その差がなくなるように出力電圧を制御するという一般的な定電圧電源と同様なサーボ系の構成を有しているが、基準電圧を発生する基準電圧源を備える代わりに、マイクロコンピュータ 7 から出力されるアナログの電源制御電圧を基準電圧として用いている。

なお、可変電圧電源 6 は、単一の電源電圧 V_0 を出力するが、出力フルブリッジ回路 4 が正および負の 2 つの電源電圧を必要とするように構成されている場合、それに応じて 2 つの電源電圧を出力するように構成される。

マイクロコンピュータ 7 には、外部のボリューム設定装置 9 からのデジタルのボリューム設定値（入力ボリューム値）が入力される。ボリューム設定装置 9 は、ユーザがボリューム設定するための、例えば、アップキーおよびダウンキーを備えた操作部 9 a を含んでいる。ボリューム設定装置 9 は、ボリューム設定値を段階的（所定のボリュームステップ単位）に変化させ、例えば、アップキーおよびダウンキーでボリューム値を設定する場合、アップキーを 1 回押す操作でボリュームが 1 ステップ増加し、ダウンキーを 1 回押す操作でボリュームが 1 ステップ減少するようにボリューム設定値を出力する。

なお、操作部 9 a は、同様にボリュームステップ単位で操作入力可能であれば、アップキーおよびダウンキー以外の構成でもよく、またリモートコントローラのようにボリューム設定装置 9 と独立して設けられていてもよい。

マイクロコンピュータ 7 は、デジタル信号源 1 に振幅調整データを出力するとともに、可変電圧電源 6 に電源制御電圧を出力する。設定制御

23

手段としてのマイクロコンピュータ 7 は、ボリューム設定装置 9 からの
ボリューム設定値ごとに、そのボリューム設定値に個々に対応する振幅
調整データと電源制御電圧のデータ（電圧値）とを関連付けて記憶した
設定テーブル 7 a（記憶手段）を備えており、入力されたボリューム設
5 定値に対応した振幅調整データおよび電源制御電圧データを設定テー
ブル 7 a から読み出す。また、マイクロコンピュータ 7 は、電源制御電圧
データをアナログの電源制御電圧に変換するための D/A コンバータ（
図中、D/A）7 b を有している。

設定テーブル 7 a に格納される電源制御電圧データは、例えば、マイ
10 クロコンピュータ 7 の電源電圧の 100%，90%，…，10% のよう
に値が設定されている。また、設定テーブル 7 a には、振幅調整データ
として、デジタル信号源 1 の乗算器 1 a に与える乗算係数が 1，0.9，
…，0.1 のように格納されている。

ここで、設定テーブル 7 a における振幅調整データおよび電源制御電
15 圧データの設定について説明する。

出力装置 8 から出力される出力ボリューム値（スイッチング増幅部 1
0 からの出力信号の振幅に対応）が最大ボリューム値 $V_{ol\max}$ （前記
振幅の最大値に対応）と中間ボリューム値 $V_{ol\mid}$ （前記振幅の中間
値に対応）との間にある場合、振幅調整データが一定値となり、電源制
20 御電圧データがボリュームステップごとに変化するように設定される。
この場合、振幅調整データは、デジタル信号源 1 において乗算器 1 a に
入力されるデジタルオーディオ信号の振幅値の 100% となる値、すな
わち“1”に設定される。

一方、出力ボリューム値が中間ボリューム値 $V_{ol\mid}$ と最小ボリ

24

ーム値 V_{o1min} (前記振幅の最小値に対応) との間にある場合、電源制御電圧データが一定値となり、振幅調整データがボリュームステップごとに変化するよう設定される。この場合、電源制御電圧データは、電源電圧 V_0 が最大値よりも低い所定値 (例えば、最も低くは最大電源電圧の 0.1 倍) となるよう設定される。

ここで、上記のように構成されるデジタルアンプ 11 の基本動作について説明する。

デジタルのオーディオ信号は、必要に応じて、デジタル信号源 1 において乗算器 1a でマイクロコンピュータ 7 からの乗算係数 (振幅調整データ) が乗算されて振幅が調整される。アナログのオーディオ信号は、A/D コンバータ 1b でデジタル信号に変換されたのち、デジタルのオーディオ信号と同様、必要に応じて、乗算器 1a で乗算係数が乗算されて振幅が調整される。デジタル信号源 1 から出力されたデジタル信号は、 $\Delta\Sigma$ 変調回路 2 で 1 ビットデジタル信号 S_1 , S_2 (正相成分) に変換される。

上記の 1 ビットデジタル信号 S_1 , S_2 は、それぞれゲートドライブ回路 3 におけるドライバ 3a, 3b に入力される。ドライバ 3a は、1 ビットデジタル信号 S_1 を基に生成した互いに逆相となるゲート信号をそれぞれ出力トランジスタ Q_1 , Q_3 に出力する。ドライバ 3b は、1 ビットデジタル信号 S_2 を基に生成した互いに逆相となるゲート信号を出力トランジスタ Q_2 , Q_4 に出力する。このとき、出力トランジスタ Q_1 , Q_4 が同相で駆動される一方、出力トランジスタ Q_2 , Q_3 が同相で駆動され、かつ出力トランジスタ Q_1 , Q_4 と出力トランジスタ Q_2 , Q_3 とが互いに逆相で駆動される。これにより、出力フルブリッジ

25

回路4から増幅された正相および逆相のパルス信号が出力される。

なお、出力トランジスタQ1～Q4が上記のような相関係で駆動されれば、ドライバ3a, 3bと出力トランジスタQ1～Q4との駆動の組み合わせは図3に示す構成に限定されない。

5 そして、この正相および逆相のパルス信号は、ローパスフィルタ5でアナログ信号に変換され、そのアナログ信号が出力装置8において音声に変換されて出力される。

続いて、上記のように動作するデジタルアンプ11のボリューム制御の動作について説明する。

10 まず、ユーザがボリューム設定装置9の操作部9aを操作することによって、ボリューム設定装置9ではボリューム設定値が設定される。マイクロコンピュータ7は、このボリューム設定値の大きさに応じて異なるボリューム制御を行う。

15 ボリューム設定値に対応する出力ボリューム値が最大ボリューム値 V_{olmax} と中間ボリューム値 V_{olmid} との間（ボリューム範囲A）にある場合、一定値の振幅調整データおよびボリューム設定値に応じた値の電源制御電圧データが設定テーブル7aから読み出される。振幅調整データは、乗算係数としてデジタル信号源1の乗算器1aに与えられる。一方、電源制御電圧データは、D/Aコンバータ7bでアナログの電
20 源制御電圧に変換されて可変電圧電源6に与えられる。

これにより、デジタル信号源1に入力されたデジタル信号は、乗算器1aで上記の乗算係数（“1”）が乗算されて、デジタル信号が入力振幅のまま出力される。また、可変電圧電源6は、上記の電源制御電圧となるように制御した電源電圧 V_0 を出力する。出力フルブリッジ回路4

は、前述のように波高値が V_0 となるように振幅増幅を行うので、上記の電源電圧 V_0 の値に増幅されたパルス信号を出力する。したがって、出力装置 8 からは、電源電圧 V_0 に応じたボリュームの音声出力される。

- 5 図 4 に示すように、ボリューム範囲 A では、図中 Δ にて示す入力レベル（デジタル信号源 1 から $\Delta \Sigma$ 変調回路 2 に入力されるデジタル信号のレベル）が一定であり、図中 \square にて示す電源電圧 V_0 が可変であるので、出力フルブリッジ回路 4 からの出力レベルは、図中 \diamond に示すように、電源電圧 V_0 とほぼ一致してボリュームステップ単位で変化する。すな
- 10 わち、ボリューム範囲 A では、電源電圧 V_0 の値によって出力ボリューム値が決定（調整）される。

- これにより、出力ボリューム値が最大ボリューム値 $V_{ol\max}$ から中間ボリューム値 $V_{ol\mid}$ に近づくように調整されるほど電源電圧 V_0 が低下するので、出力フルブリッジ回路 4 での電流消費もそれに応じて
- 15 低減する。

- ボリューム設定値に対応する出力ボリューム値が中間ボリューム値 $V_{ol\mid}$ と最小ボリューム値 $V_{ol\min}$ との間（ボリューム範囲 B）にある場合、一定値の電源制御電圧データおよびボリューム設定値に応じた値の振幅調整データが設定テーブル 7 a から読み出される。振幅調整
- 20 データは、乗算係数としてデジタル信号源 1 の乗算器 1 a に与えられる。一方、一定値の電源制御電圧データは、D/A コンバータ 7 b でアナログの電源制御電圧に変換されて可変電圧電源 6 に与えられる。

これにより、入力されたデジタルのオーディオ信号は、乗算器 1 a で出力ボリューム値に応じた乗算係数が乗算されて振幅調整される。また

27

、可変電圧電源 6 は、上記の電源制御電圧となるように制御した一定の電源電圧 V_0 を出力する。出力フルブリッジ回路 4 は、一定の電源電圧 V_0 を超えない範囲で増幅されたパルス信号を出力する。したがって、出力装置 8 からは、乗算器 1 a で調整された振幅レベルに応じたボリュームの音声出力される。

図 4 に示すように、ボリューム範囲 B では、図中 Δ にて示す入力レベルが可変であり、図中 \square にて示す電源電圧 V_0 が一定であるので、出力フルブリッジ回路 4 からの出力レベルは、図中 \diamond に示すように、入力レベルとほぼ同じ変化率でボリュームステップ単位で変化する。すなわち、ボリューム範囲 B では、乗算係数の値によって出力ボリューム値が決定（調整）される。

また、ボリューム範囲 B では、電源電圧 V_0 が最大値よりも低い所定値となるように電源制御電圧データを設定しているので、出力ボリューム値が中間ボリューム値 $V_{0\text{mid}}$ から最小ボリューム値 $V_{0\text{min}}$ に近づくように調整されても、消費電流は変わらない。しかも、ボリューム範囲 B では、出力フルブリッジ回路 4 への電源電圧 V_0 を所定レベルに固定しているので、低電圧出力時のように可変電圧電源 6 でサーボゲインが確保され、サーボが安定することにより、電源電圧 V_0 を安定して出力することができる。これにより、出力フルブリッジ回路 4 での歪率、S/N、残留ノイズなどのオーディオ性能を改善することができる。特に、全ボリューム範囲で電源電圧を可変する従来技術の構成と比べて歪率の悪化を抑えることが可能となる。

従来技術の構成では、図 5 に \blacklozenge にて示すように、歪率が、ボリューム範囲 A の変化率とほぼ同じ変化率でボリューム範囲 B でも変化しており

、出力ボリューム値の減少とともに悪化している。これに対し、本実施例の構成では、同図に□にて示すように、歪率が、ボリューム範囲Bで従来技術の歪率に比べて大幅に低減している。

5 また、電源電圧 V_0 を固定する所定レベルの下限値を前述のように最大電源電圧の0.1倍に設定することにより、出力フルブリッジ回路4での消費電流を最大時の0.1倍程度に抑えることができるとともに、オーディオ性能の悪化も実用上不都合のない程度に抑えることができる。上記の下限値をさらに低下させると、消費電力をより低減することができるが、オーディオ性能に実用上不都合が生じるほど悪化する（音質
10 が劣化する）ため、好ましくない。

以上に述べたように、本実施例のデジタルアンプ11は、出力ボリューム値の大きい範囲（ボリューム範囲A）に、乗算係数を一定にしてデジタル信号源1から $\Delta\Sigma$ 変調回路2に入力する入力デジタル信号の振幅を固定しながら、出力フルブリッジ回路4の電源電圧 V_0 を可変とする
15 一方、出力ボリューム値の小さい範囲（ボリューム範囲B）に、電源電圧 V_0 を一定にしながら、入力デジタル信号の振幅を可変とするように、マイクロコンピュータ7によるボリューム制御を行う。これにより、出力ボリューム値の大きい範囲では、出力フルブリッジ回路4での消費電力を抑制する一方、出力ボリューム値の小さい範囲では、オーディオ
20 性能の悪化を抑制することができる。

また、マイクロコンピュータ7が、ボリューム設定装置9からのボリューム設定値に個々に対応する振幅調整データと電源制御電圧のデータとを関連付けて記憶した設定テーブル7aを備え、入力されたボリューム設定値に対応した振幅調整データおよび電源制御電圧データを設定テ

ーブル 7 a から読み出す。これにより、単一のボリューム設定値に基づいて異種のデータが同時に得られるので、2つのボリューム範囲での前記のような振幅調整データと電源制御電圧データとの所望の組み合わせを容易に得ることができる。それゆえ、前記のような2つのボリューム範囲で容易にボリュームを制御することができる。

5 なお、中間ボリューム値 V_{o1mid} は、必要とされる1ビットデジタルアンプの性能に応じて、消費電力低減を優先するか、オーディオ性能の悪化抑制を優先するか、あるいは両方を適度に釣り合わせるかによって任意に設定される。

10 ここで、本実施例の変形例について図6に基づいて説明する。

図6に示すように、デジタルアンプ12は、可変電圧電源6以外はデジタルアンプ11と同様に構成されており、可変電圧電源6の代わりに、DC/DCコンバータ13と、前述の実施例1のデジタルアンプ1における可変電圧電源32とを備えている。

15 DC/DCコンバータ13は、マイクロコンピュータ7におけるD/Aコンバータ7bから出力された電源制御電圧を電源電圧 V_0 に変換する電圧変換回路である。このDC/DCコンバータ13は、電源回路13aと、PWM回路13bと、前述の実施例1のデジタルアンプ21における可変電圧電源30とを有している。

20 電源回路13aは、前述の可変電圧電源6と同様な回路であり、電源制御電圧に基づいて制御された電源電圧 V_0 を出力する。PWM回路13bは、例えば、PWM信号を発生するための一般的なPWMコンパレータによって構成されており、PWM回路13b内に設けられた発振器または外部から供給される一定周期かつ一定振幅の三角波信号と上記の

30

電源電圧 V_0 とを比較して、その比較の結果として電源電圧 V_0 のレベルに比例するデューティ比を有するパルス信号すなわち PWM 信号を出力する。

5 可変電圧電源 30 は、PWM 回路 13b からの PWM 信号をローパスフィルタ 31 で平滑化することにより、PWM 信号のデューティ比に比例するレベルの電源電圧 V_0 を復調する。また、可変電源電圧 30 は、実施例 1 のデジタルアンプ 21 における可変電圧電源 30 と同様にして可変電圧電源 32 と接続されている。

10 可変電圧電源 30 から出力される電源電圧 V_0 は、出力フルブリッジ回路 4 の電源端子 4a に与えられる。直流電源電圧 V_1 は、可変電圧電源 32 に入力される以外に、そのままゲートドライブ回路 3 のドライバ 3b に電源電圧として与えられる。また、可変電圧電源 32 から出力される $V_0 + V_1$ の電圧は、ゲートドライブ回路 3 のドライバ 3a に電源電圧として与えられる。

15 このように構成されるデジタルアンプ 12 は、図 3 に示すデジタルアンプ 11 と同様、出力ボリウム値の大きい範囲では、出力フルブリッジ回路 4 での消費電力を抑制する一方、出力ボリウム値の小さい範囲では、オーディオ性能の悪化を抑制することができる。また、デジタルアンプ 12 は、デジタルアンプ 21 と同様、電源電圧 V_0 が高いときには
20 はドライバ 3a による出力トランジスタ Q1, Q3 のゲート駆動電圧も高くし、電源電圧 V_0 が低くなるとゲート駆動電圧も低くし、こうしてオン時のゲート電圧を常にソース電圧よりも予め定める一定電圧 V_1 だけ高く保持することができる。これによって、出力トランジスタ Q1, Q3 のスイッチング動作に影響を与えることなく、ドライバ 3a による

31

出力トランジスタQ1, Q3のゲート駆動電圧を必要最小限の電圧とすることにより、小ボリウム時におけるドライバ3aの消費電力を削減することができる。それゆえ、デジタルアンプ12によれば、デジタルアンプ11に比べて、より一層小ボリウム時における消費電力を削減
5 することができる。

〔実施例3〕

本発明のさらに他の実施例について図7に基づいて説明すれば、以下の通りである。

図7は、本実施例のデジタル信号記録再生装置としてのミニディスク
10 装置を示すブロック図である。

図7に示すように、このミニディスク装置では、書き換え可能な光磁気記録媒体であるディスク41が用いられる。まず、ディスク41の記録再生の仕様について説明すると、ディスク41の記録面全面にわたって記録単位としてのアドレスが連続した番号を付与されて予め設定され、
15 関連する情報データの集まりとしてのデータセットである曲等の音声データが記録面に記録される。

また、ディスク41の記録面には、記録された各曲の検索を迅速化するための各曲のアドレス番号の情報や、曲名や曲番（セット番号）等のリスト情報を記録した後述するU-TOC（User-Table Of Content）
20 領域が設定されている。

ディスク41における記録再生の仕様の詳細について説明すると、まず、ディスク41には、再生専用のリードイン領域と、その直後の円周部に書き換え可能なU-TOC領域（リスト情報）と、そのU-TOC領域の外側に音声データおよびサブデータを記録するプログラムエリア

32

と、最外周部にリードアウト領域とが順次設定されている。

ミニディスク装置では、ディスク 4 1 の記録面から音声データを再生する光ピックアップ 4 2 が設けられ、また、光ピックアップ 4 2 は新たな音声データをディスク 4 1 に記録するためにも用いられる。

5 さらに、ミニディスク装置では、R F アンプ 4 3 と、エンコーダ／デ
コーダ・信号処理回路 4 4 と、ショックプルーフメモリコントローラ
(以下、メモリコントローラと称する) 4 5 と、ショックプルーフメモ
リ 4 6 と、音声伸長・圧縮回路 4 7 と、D / A ・ A / D コンバータ 4 8
と、マイクロコンピュータ等のシステムコントローラ (制御手段) 4 9
10 と、サーボ回路 5 0 とが設けられている。

その上、ミニディスク装置では、ドライバ回路 5 1 と、スピンモータ
5 2 と、送りモータ 5 3 と、電源 O N / O F F 回路 5 4 と、ヘッド駆動
部 5 5 と、記録ヘッド 5 6 と、音声出力端子 5 7 と、音声入力端子 5 8
と、入力部 5 9 と、デジタルアンプ 6 0 とが設けられている。

15 入力部 5 9 には、記録された曲の新たな曲への書き換えを指示するた
めの曲書き換えキー 5 9 a と、書き換えする曲の番号を指定し、全曲の
書き換えを指示するための曲指定テンキー・全曲指定テンキー (指示
部) 5 9 b と、コントロールキー 5 9 c とが設けられている。

20 なお、コントロールキー 5 9 c は、一般的な機能、つまり記録・再生
等の記録再生装置としての記録再生機能を指示するためのものであって、
図示しないが、記録キー、一時停止キー、再生キー、停止キーを含んで
いる。

デジタルアンプ 6 0 は、図 1 に示すデジタルアンプ 2 1、図 3 に示す
デジタルアンプ 1 1 または図 6 に示すデジタルアンプ 1 2 によって構成

3 3

され、音声出力端子 5 7 に出力されたアナログオーディオ信号を 1 ビットデジタル信号に変換して、高効率に増幅を行う。また、デジタルアンプ 1 1 で構成されたデジタルアンプ 6 0 は、音声圧縮・伸長回路 4 7 から出力されたマルチビットのデジタルオーディオ信号を直接 1 ビットデジタル信号に変換することもできる。

ミニディスク装置にて、ディスク 4 1 を再生するとき、ドライバ回路 5 1 に駆動されるスピンモータ 5 2 によりディスク 4 1 が回転駆動されると共に、ドライバ回路 5 1 に駆動される送りモータ 5 3 によりピックアップ 2 がディスク 4 1 の半径方向に送られ、このピックアップ 4 2 によりディスク 4 1 に記録されている音声データが読み出される。

ピックアップ 4 2 により読み出された音声データは、R F アンプ 4 3 において増幅され、エンコーダ・デコーダ信号処理回路 4 4 に送られる。また、R F アンプ 4 3 は、ピックアップ 4 2 により読み出された音声データからフォーカスエラー信号やトラッキングエラー信号等のサーボ制御信号を生成し、これをサーボ回路 5 0 に出力する。

サーボ回路 5 0 は、R F アンプ 4 3 からのサーボ制御信号と、マイクロコンピュータ等からなるシステムコントローラ 4 9 からのコントロール信号によりピックアップ 4 2 のフォーカシング、トラッキングおよびスピンモータ 5 2 のサーボをかけるように前記ドライバ回路 5 1 を制御する。また、ドライバ回路 5 1 は、サーボ回路 5 0 からの制御信号により、ピックアップ 4 2、送りモータ 5 3 およびスピンモータ 5 2 を駆動する。

エンコーダ・デコーダ信号処理回路 4 4 は、R F アンプ 4 3 で増幅された信号を復調し、さらに誤り訂正等の信号処理を施し、メモリコント

ローラ 45 に送る。

メモリコントローラ 45 は、書き込み手段として、エンコーダ・デコーダ信号処理回路 44 から送られてくる信号を、記憶手段としてのショックプルーフメモリ 46 に書き込む。また、メモリコントローラ 45 は、
5 メモリ読み出し手段として、ショックプルーフメモリ 46 に記憶された音声データを読み出し、音声伸長・圧縮回路 47 に送る。

音声伸長・圧縮回路 47 は、入力された音声データを内蔵された音声伸長回路にて所定のフォーマットにしたがって時間軸伸長して復元し、
D/A・A/D コンバータ 48 に送る。D/A・A/D コンバータ 48
10 は、入力されたデジタル信号を、内蔵された D/A コンバータ 48a にてアナログ変換して音声信号を生成する。そして、この音声信号は出力端子 57 より音声出力される。

一方、記録するときには、音声入力端子 58 から入力された音声信号は、D/A・A/D コンバータ 48 に送られ、アナログ信号である音声
15 信号をデジタル信号である音声データに、内蔵された A/D コンバータ 48b にて変換し、音声データが音声伸長・圧縮回路 47 に送られる。

音声伸長・圧縮回路 47 は、入力された音声データを、内蔵された音声圧縮回路にて、A T R A C (Adaptive T Ransform A coustic C oding)
とよばれるミニディスク装置の情報圧縮技術によって約 1/5 にデータ
20 圧縮し、その圧縮された音声データがメモリコントローラ 5 へ送られる。

そのメモリコントローラ 45 は、送られてきた音声データをショックプルーフメモリ 46 に書き込む。また、上記メモリコントローラ 45 は、ショックプルーフメモリ 46 に記憶された音声データを読み出して、エンコーダ・デコーダ信号処理回路 44 へ送り、ここで変調、誤り訂正用

符号の付加等を施す。このような音声データがヘッド駆動部 5.5 に送られる。

ヘッド駆動部 5.5 は、音声データに基づいて記録ヘッド 5.6 にデジタル信号を出力し、かつ、システムコントローラ 4.9 からの制御信号に基づいて上記記録ヘッド 5.6 を駆動する一方、記録ヘッド 5.6 により磁界
5 がかけられているディスク 4.1 の部分に再生するときよりも強いレーザ光をピックアップ 4.2 によって照射することにより、ディスク 4.1 の所定のアドレスに音声データが順次記録される。なお、ピックアップ 4.2 からの強いレーザ光は、システムコントローラ 4.9 により電源 ON/OFF 回路 5.4 およびドライバ回路 5.1 を介して制御される。
10

尚、発明を実施するための最良の形態の項においてなした具体的な実施態様または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する特許請求の範囲内で、いろ
15 いろと変更して実施することができるものである。

例えば、実施例 3 のデジタル信号記録再生装置が携帯機器である場合は、限られた電力で長時間装置を駆動させることが必要となり、実施例 1 および 2 で説明した消費電力低減のための技術が特に有効である。

20 産業上の利用の可能性

以上のように、本発明は、デジタルアンプにおいて小ボリューム時の電力を低減する構成を採用しているので、デジタルオーディオ再生装置などに適用すれば、消費電力低減に寄与することができ有用である。また、本発明は、出力ボリューム値が小さい範囲での歪率を低減する構成

36

を採用しているので、デジタルオーディオ再生装置などに適用すれば、オーディオ性能を改善することができ有用である。

37

請求の範囲

1. 1ビット信号に変換されたオーディオ信号に応答して、駆動回路がスイッチング素子を駆動し、電源電圧をスイッチングさせることで前記オーディオ信号を振幅増幅するデジタルアンプにおいて、

可変の前記電源電圧を発生する可変電源電圧発生手段と、

前記電源電圧変化に連動して、前記駆動回路によるスイッチング素子の駆動電圧を変化させる駆動電圧変化手段とを含んでいることを特徴とするデジタルアンプ。

2. 前記可変電源電圧発生手段は、予め定める直流電圧がデューティ可変でスイッチングされてなるパルス幅変調信号を平滑化するローパスフィルタを有し、

前記駆動電圧変化手段は、

前記パルス幅変調信号が一方の端子に入力されるコンデンサと、

前記コンデンサの他方の端子に予め定める定電圧を入力するダイオードと、

前記コンデンサの他方の端子からの出力を平滑化するローパスフィルタとを有し、前記電源電圧に前記定電圧を加算した電圧を前記駆動回路に前記駆動電圧として供給することを特徴とする請求項1に記載のデジタルアンプ。

3. 書き換え可能な光記録媒体から得られた、記録のために変調・圧縮されている音声データを復調・伸長する再生回路と、

前記音声データを増幅する増幅器とを備え、

前記増幅器は、請求項1または2に記載のデジタルアンプであること

を特徴とするデジタル信号再生装置。

4. 前記光記録媒体はミニディスクであることを特徴とする請求項3に記載のデジタル信号再生装置。

5. 1ビット信号に変換されたオーディオ信号をスッチング増幅する増幅手段を有するデジタルアンプから出力される出力信号の振幅を制御するボリューム制御装置において、

前記1ビット信号に変換される前の前記オーディオ信号の振幅を指定された倍率の大きさに変化させる振幅可変手段と、

前記増幅手段に付与する電源電圧を指定された電圧値に変化させる電圧可変手段と、

前記振幅が最大値と所定の中間値との間に設定されるときに、前記倍率を一定に設定するとともに、前記電圧値を指定された入力ボリューム値に応じた値に設定する一方、前記振幅が前記中間値と前記最小値との間に設定されるときに、前記電圧値を一定に設定するとともに、前記倍率を指定された入力ボリューム値に応じた値に設定する設定制御手段を備えていることを特徴とするボリューム制御装置。

6. 前記設定制御手段は、前記入力ボリューム値に対応する前記倍率および前記電圧値とを記憶する記憶手段を有しており、指定された前記入力ボリューム値に基づいて、対応する前記倍率および前記電圧値を出力することを特徴とする請求項5に記載のボリューム制御装置。

7. 前記設定制御手段は、前記振幅が前記中間値と前記最小値との間に設定されるときに、前記電圧値を最大値の0.1倍に設定することを特徴とする請求項5に記載のボリューム制御装置。

8. 前記増幅手段が有するスイッチング素子を1ビット信号に変換さ

れたオーディオ信号に応答して駆動する駆動回路と、

前記電圧可変手段による電圧変化に連動して、前記駆動回路によるスイッチング素子の駆動電圧を変化させる駆動電圧変化手段とを含んでいることを特徴とする請求項5に記載のボリューム制御装置。

9. 前記電圧可変手段は、予め定める直流電圧がデューティ可変でスイッチングされてなるパルス幅変調信号を平滑化するローパスフィルタを有し、

前記駆動電圧変化手段は、

前記パルス幅変調信号が一方の端子に入力されるコンデンサと、

前記コンデンサの他方の端子に予め定める定電圧を入力するダイオードと、

前記コンデンサの他方の端子からの出力を平滑化するローパスフィルタとを有し、前記電源電圧に前記定電圧を加算した電圧を前記駆動回路に前記駆動電圧として供給することを特徴とする請求項8に記載のボリューム制御装置。

10. 請求項5ないし9のいずれか1項に記載のボリューム制御装置と、

前記オーディオ信号を1ビット信号に変換する1ビット変換手段と、

前記増幅手段とを備えていることを特徴とするデジタルアンプ。

11. 書き換え可能な光記録媒体から得られた、記録のために変調・圧縮されている音声データを復調・伸長する再生回路と、

前記音声データを増幅する増幅器とを備え、

前記増幅器は、請求項10に記載のデジタルアンプであることを特徴とするデジタル信号再生装置。

40

12. 前記光記録媒体はミニディスクであることを特徴とする請求項
11に記載のデジタル信号再生装置。

補正書の請求の範囲

[2004年1月14日(14.01.04)国際事務局受理：出願当初の請求の範囲
5-12は取り下げられた；他の請求の範囲は変更なし。(3頁)]

を特徴とするデジタル信号再生装置。

4. 前記光記録媒体はミニディスクであることを特徴とする請求項3
に記載のデジタル信号再生装置。

5. (削除)

5

6. (削除)

7. (削除)

8. (削除)

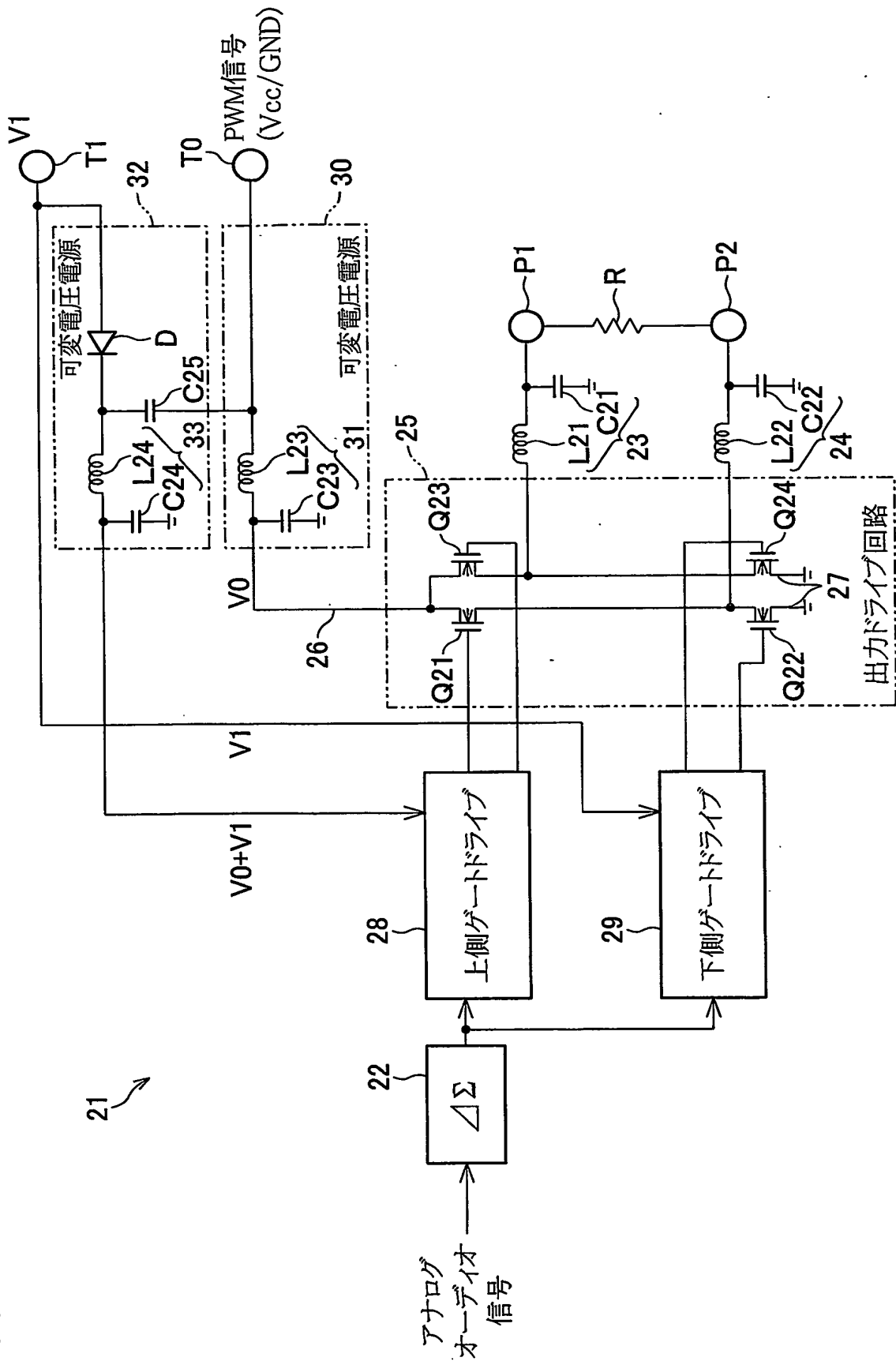
9 . (削 除)

1 0 . (削 除)

1 1 . (削 除)

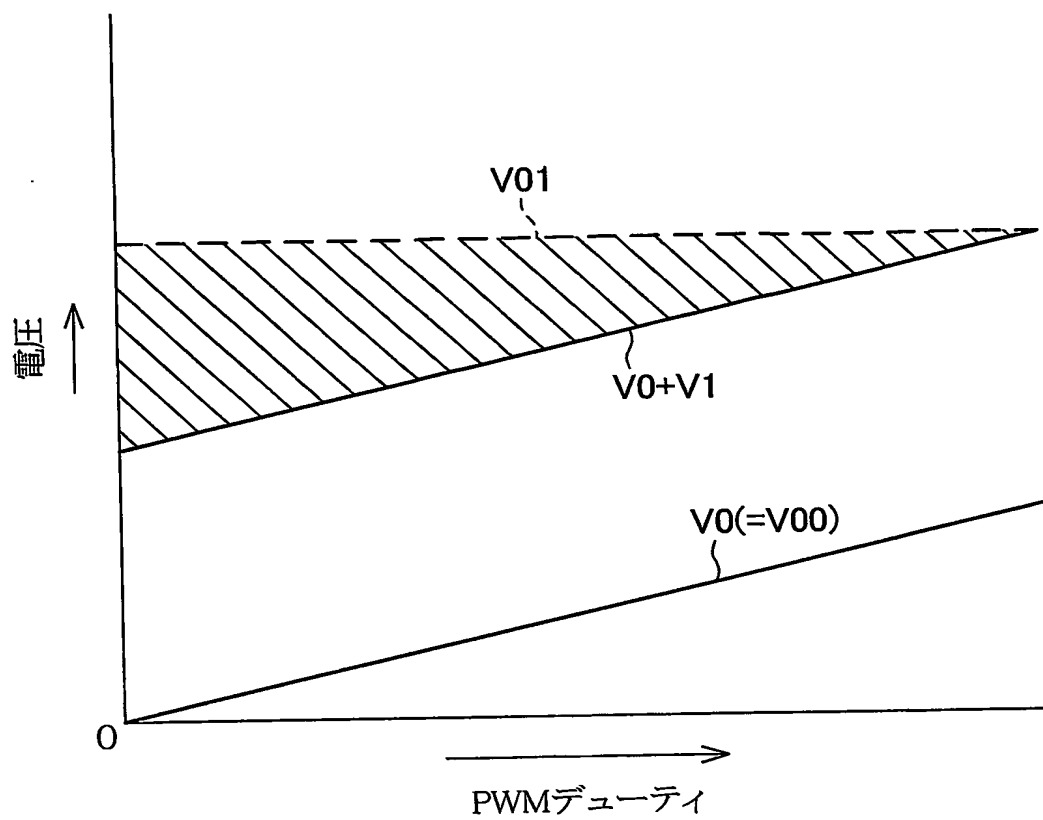
1 2 . (削除)

図1



2/11

図2



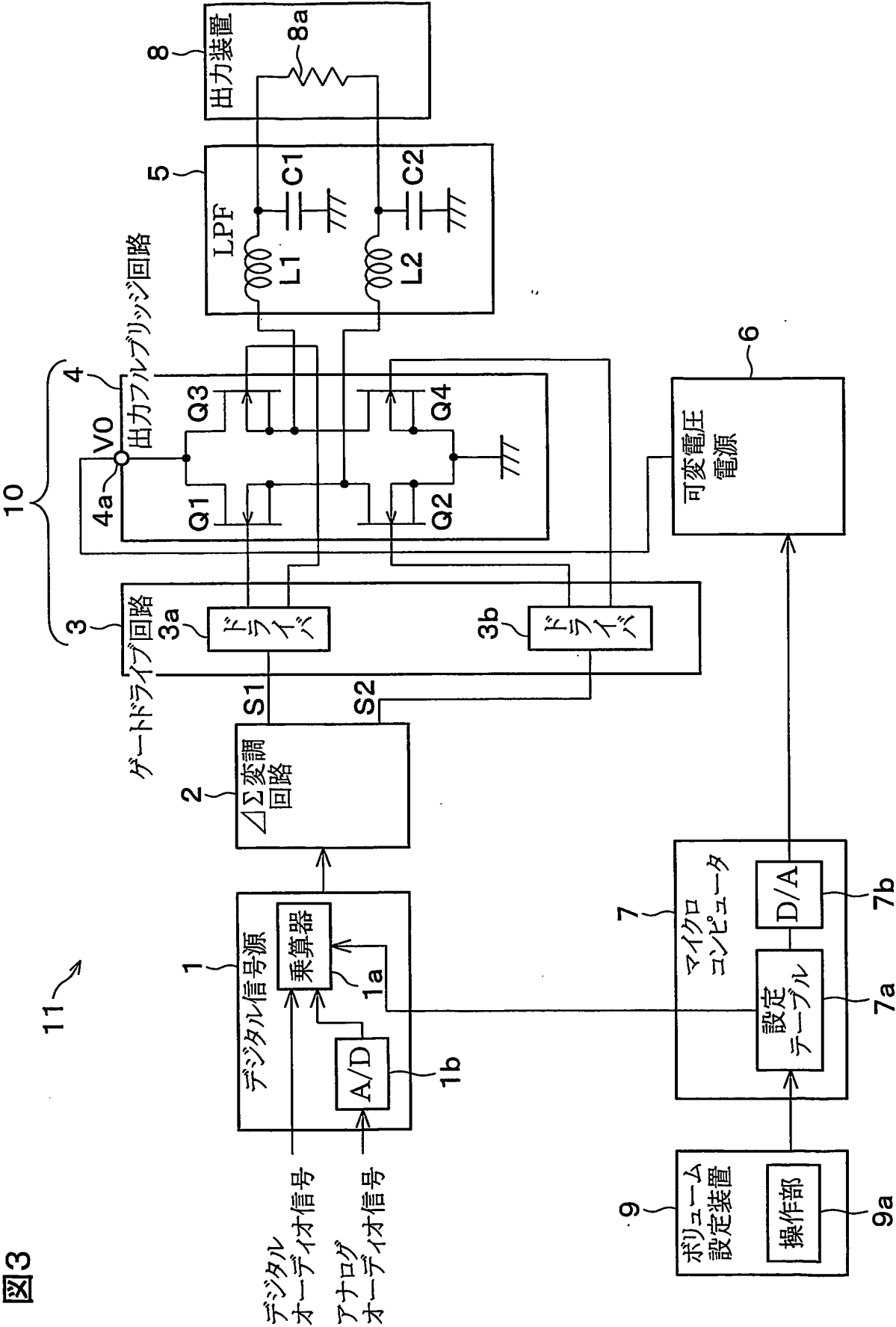


図3

図4

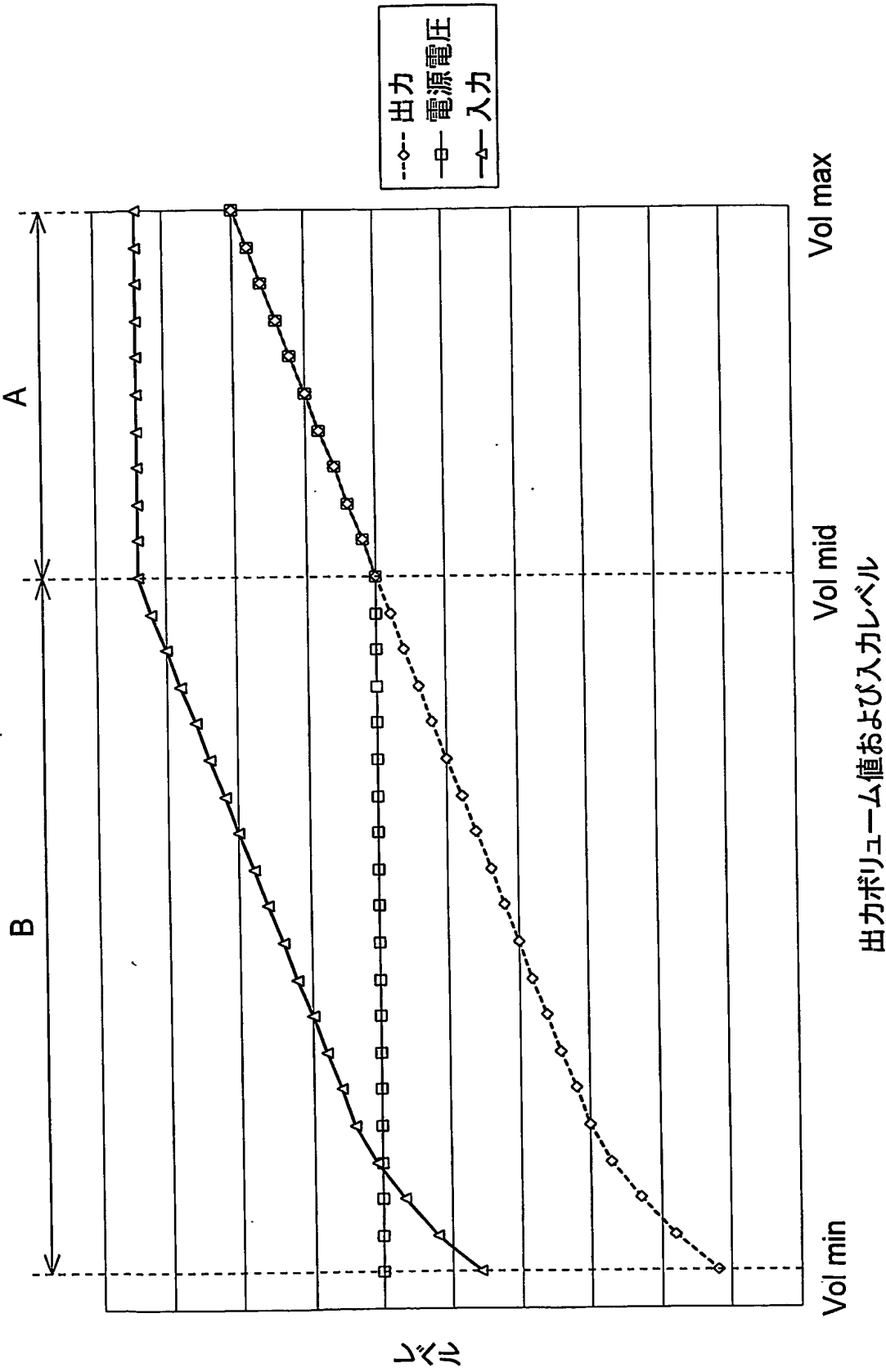
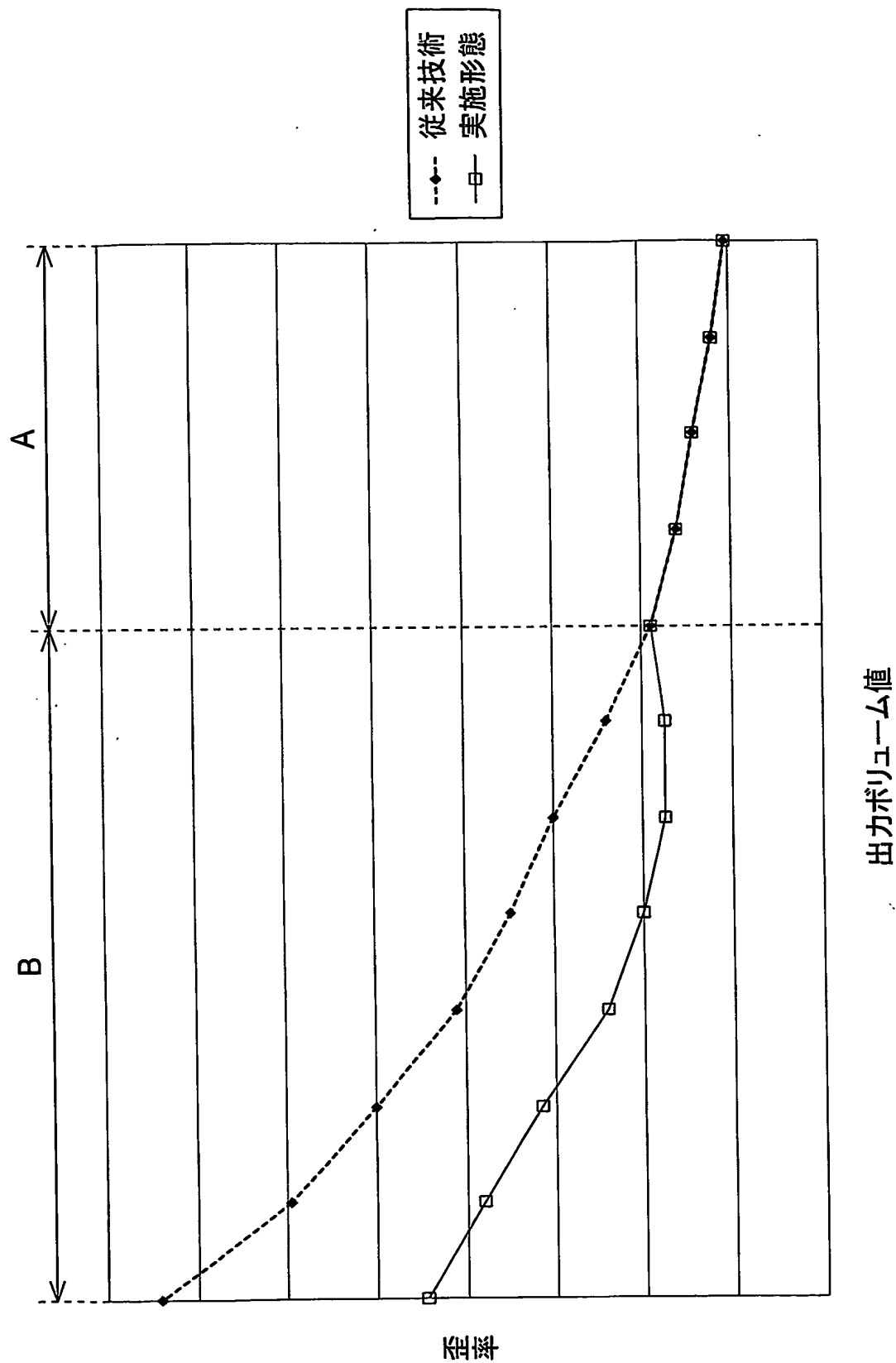
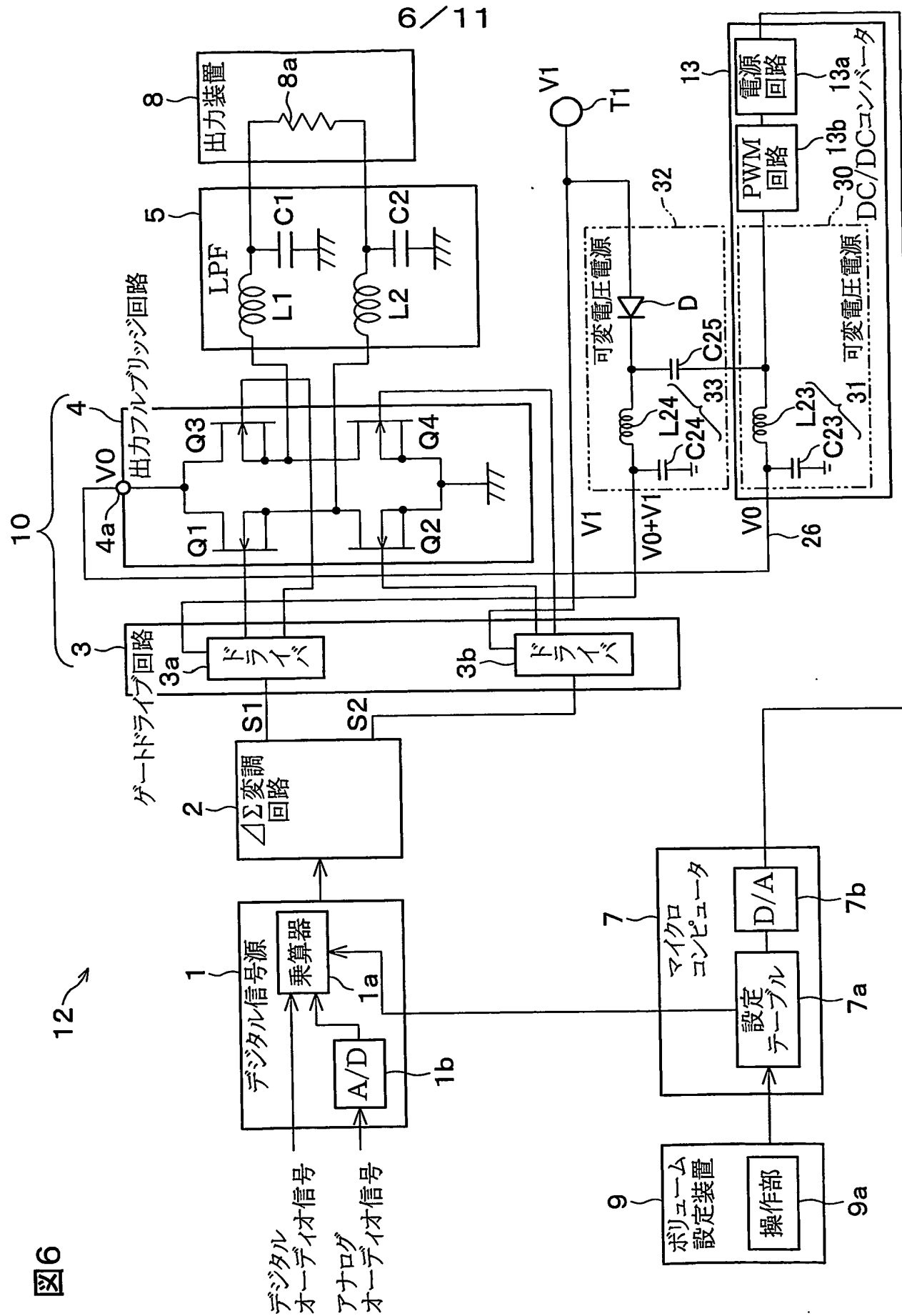
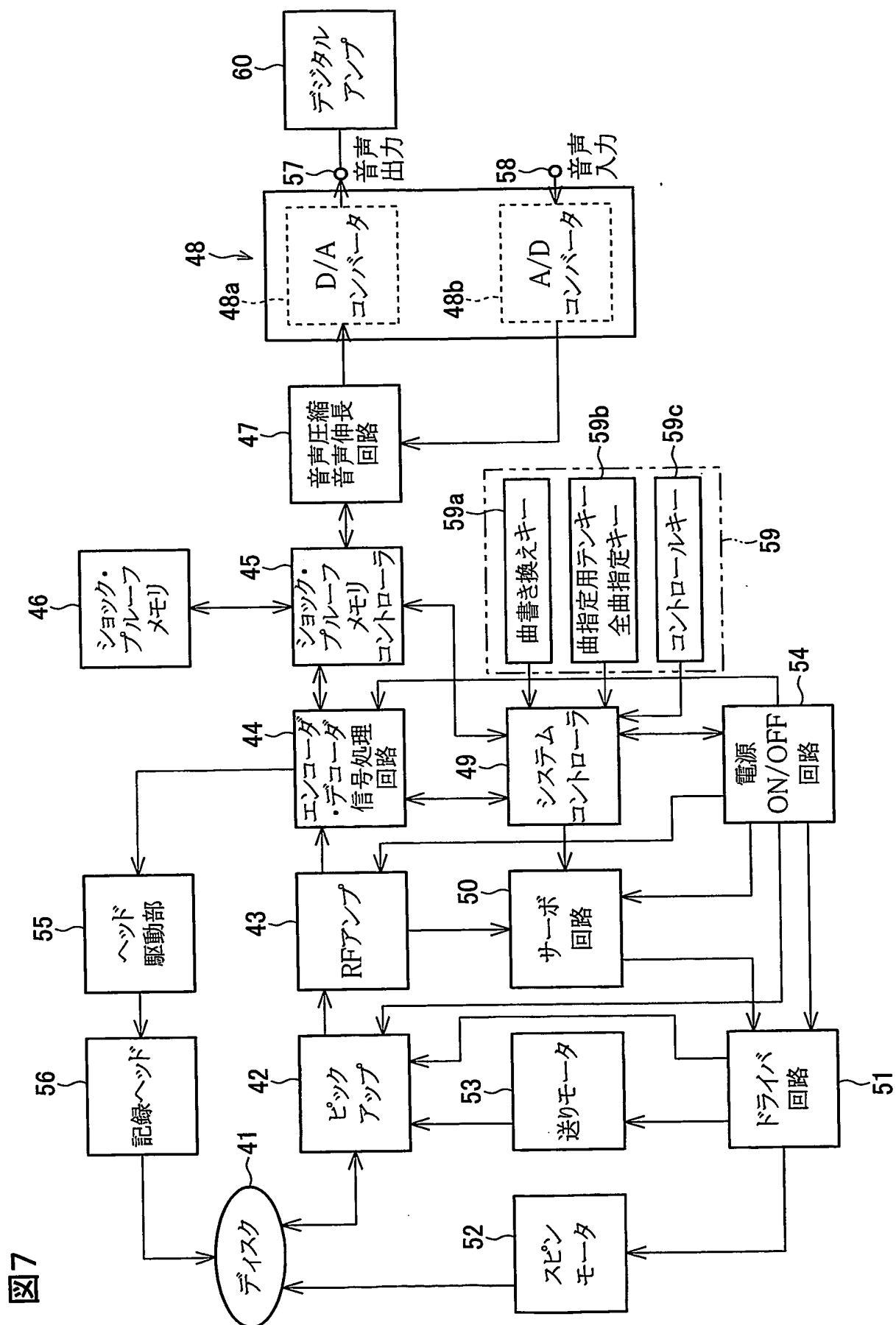


図5







8/11

図8

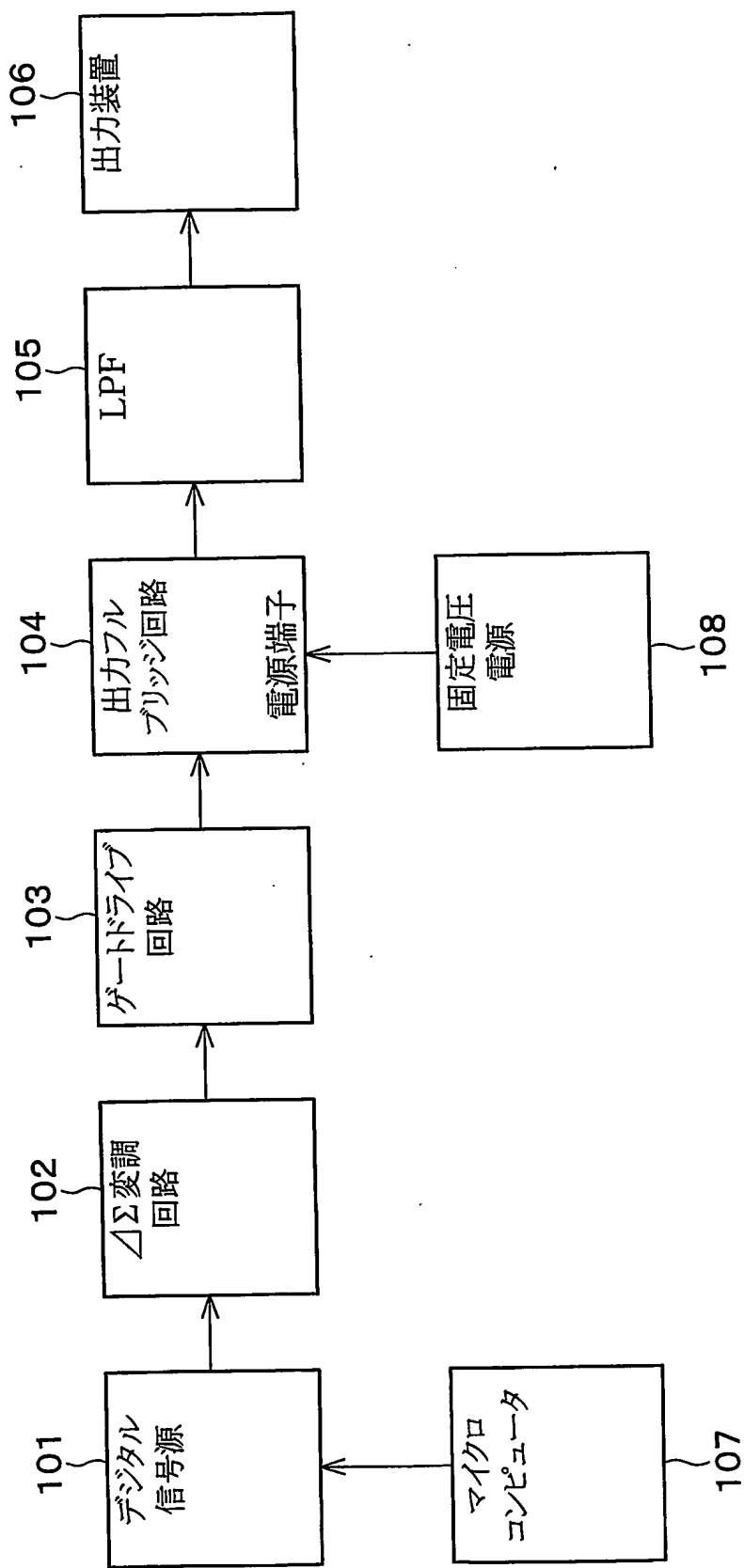
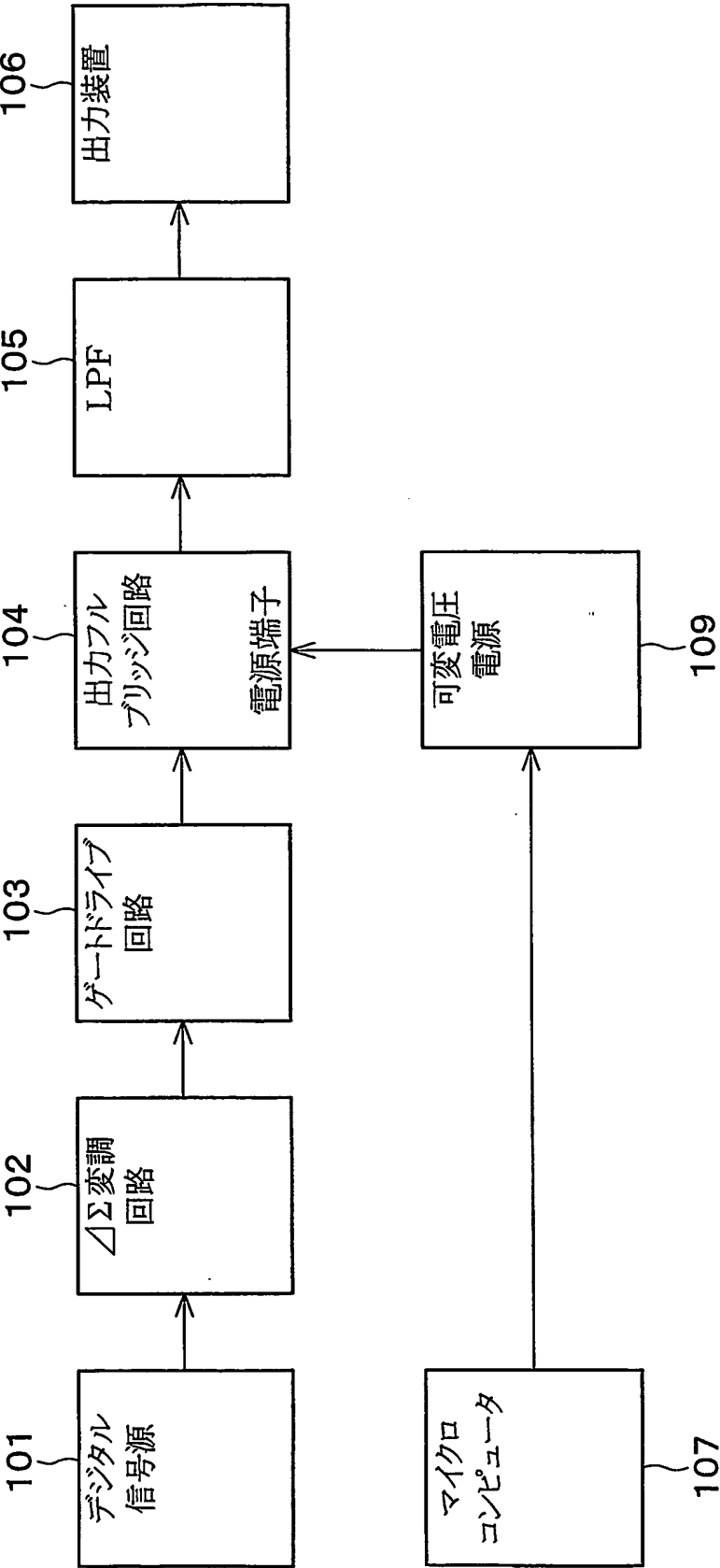
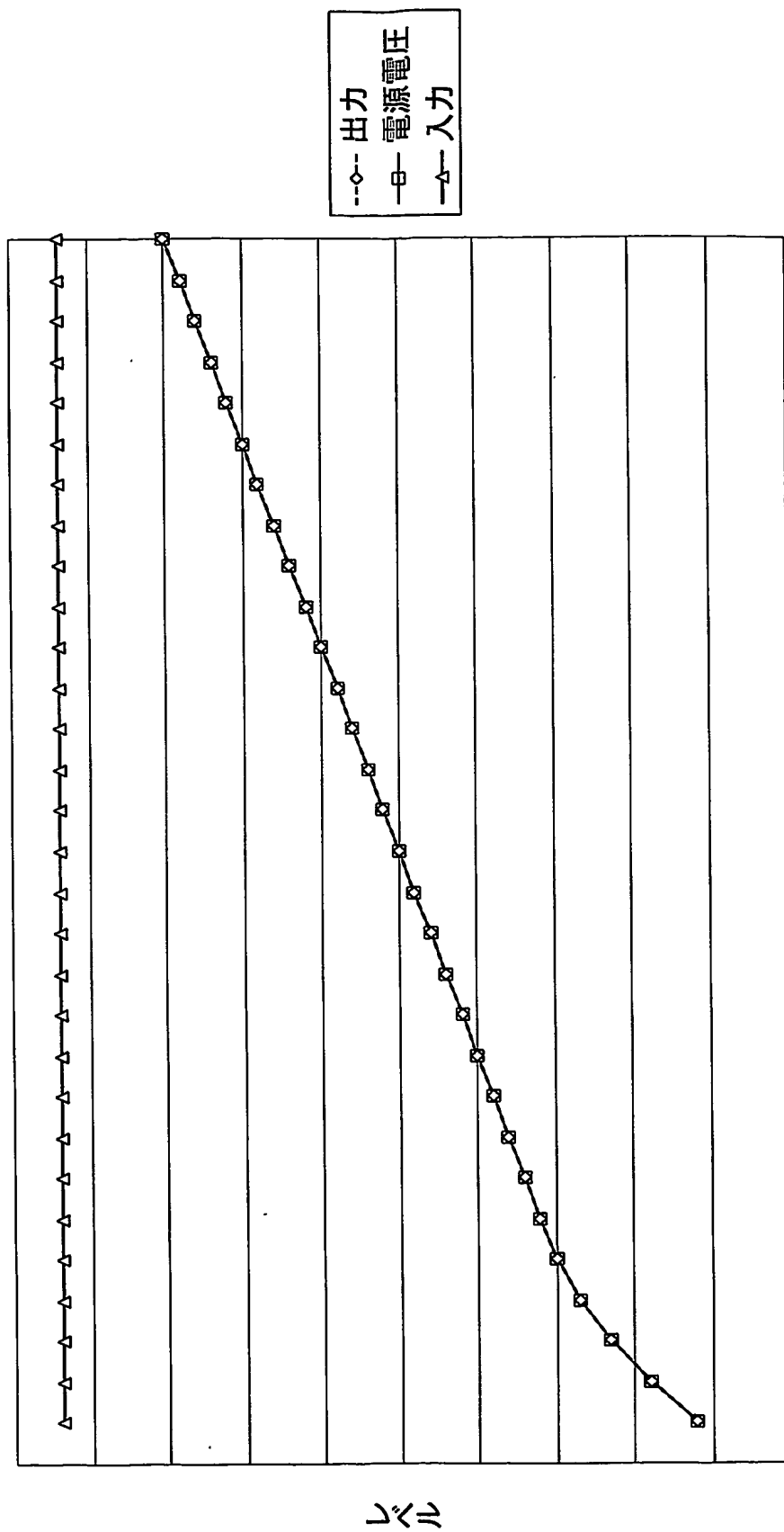


図9



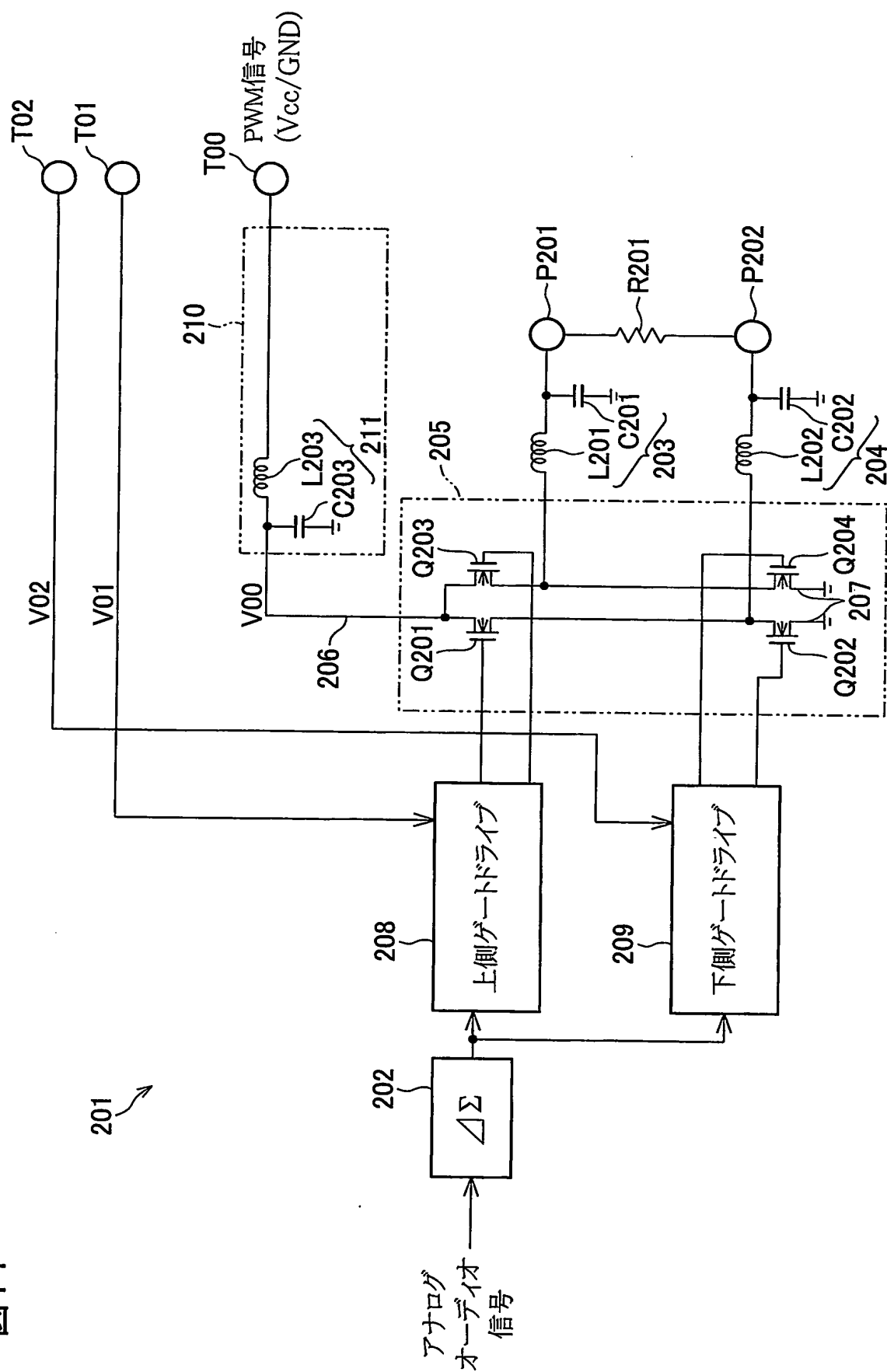
10/11

図10



出力ボリューム値および入力レベル

図 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09504

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03F3/217, H03G3/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F3/217, H03G3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-22458 A (Sharp Corp.), 21 January, 2000 (21.01.00), (Family: none)	1-12
Y	JP 61-251214 A (Hitachi, Ltd.), 08 November, 1986 (08.11.86), Fig. 1 (Family: none)	1-4
Y	JP 2000-339875 A (Sony Corp.), 08 December, 2000 (08.12.00), (Family: none)	3, 4, 10-12
X Y	JP 2001-257547 A (Sony Corp.), 21 September, 2001 (21.09.01), (Family: none)	5-9 10-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
30 October, 2003 (30.10.03)

Date of mailing of the international search report
18 November, 2003 (18.11.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09504

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-202696 A (Alpine Electronics, Inc.), 27 July, 2001 (27.07.01), (Family: none)	5-12
A	JP 2538277 B2 (Sanyo Electric Co., Ltd.), 25 September, 1996 (25.09.96), (Family: none)	5-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/217 H03G3/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03F3/217 H03G3/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-22458 A (シャープ株式会社) 2000.01.21 (ファミリーなし)	1-12
Y	J P 61-251214 A (株式会社日立製作所) 1986.11.08 第1図 (ファミリーなし)	1-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
30.10.03

国際調査報告の発送日
18.11.03

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
佐藤 敬介



5W 9196

電話番号 03-3581-1101 内線 3574

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-339875 A (ソニー株式会社) 2000. 12. 08 (ファミリーなし)	3, 4, 10-12
X Y	J P 2001-257547 A (ソニー株式会社) 2001. 09. 21 (ファミリーなし)	5-9 10-12
A	J P 2001-202696 A (アルパイン株式会社) 2001. 07. 27 (ファミリーなし)	5-12
A	J P 2538277 B2 (三洋電機株式会社) 1996. 09. 25 (ファミリーなし)	5-12